

О. І. Демченко, С. В. Чумаченко

Харківський національний університет радіоелектроніки, Харків, Україна

ТЕХНОЛОГІЇ ПРОГРЕСИВНОГО КОРПУСУВАННЯ ІНТЕГРАЛЬНИХ МІКРОСХЕМ

Анотація. **Актуальність.** З огляду на глобальне зростання попиту на передові напівпровідникові рішення, вдосконалення технологій Advanced packaging є стратегічно важливим для електронної промисловості. **Метою роботи** є аналіз сучасних тенденцій і основних викликів, пов'язаних із прогресивними технологіями корпусування ІМС, для подальшого вибору оптимальної моделі тестування між'єднань чиплетів. **Об'єктом дослідження** виступають технології компоновання та корпусування ІМС. **Предметом дослідження** є технологічні рішення та конструктивні особливості прогресивного корпусування й компоновання ІМС. До них належать 2.5-вимірні інтеграції, що забезпечують надвисоку щільність між'єднань, такі як інтеграція на рівні кремнієвого інтерпозера (CoWoS) і кремнієвого міжкристалного містка (EMIB). Також розглядаються матеріали та пов'язані технологічні процеси, які сприяють створенню ефективних між'єднань. **Результати.** У ході дослідження проаналізовано основні проблеми, що супроводжують сучасні технології корпусування, включаючи паразитні електричні характеристики, термічні навантаження та механічний стрес, що можуть впливати на довговічність і продуктивність ІМС. Розглянуто переваги та недоліки новітніх методів корпусування, зокрема технологій 2.5-вимірної інтеграції, які дозволяють значно підвищити щільність інтеграції компонентів, зменшити довжину електричних зв'язків і покращити тепловідведення. Представлено базу реалізації структури CoWoS і EMIB у мові опису апаратури Verilog як відправну точку для створення складніших моделей симуляції.

Ключові слова: Advanced Packaging, ASIC, 2.5D-IC, EMIB, CoWoS, Interposer, Chiplets, Wirebonding, Flip Chip симуляція, верифікація, тестування.

Вступ

Основними чинниками розвитку прогресивного корпусування/пакування (Advanced Packaging) є необхідність вирішення низки викликів, що стоять перед виробниками спеціалізованих ІМС (ASIC). Серед них: продуктивність, енергоефективність, масо-габаритні характеристики, тривалість виробничого циклу та вартість. Наприклад, динамічна пам'ять, змонтована за традиційною схемою та з'єднана з процесором на друкованій платі, має обмежену пропускну здатність через відносно високий імпеданс таких з'єднань. Цей приклад також демонструє проблему інтеграції гетерогенних кристалів, тобто виконаних за різними технологіями. Пам'ять та процесор можуть суттєво відрізнитись як з точки зору і техпроцесу так і електричного інтерфейсу що додатково ускладнює інтеграцію. Вибір оптимальної моделі тестування між'єднань є ключовим для подальшого розвитку гетерогенних мікросистем. У цьому контексті розроблений стандарт IEEE P3405 відіграє важливу роль, оскільки регламентує методології оцінки між'єднань і сприяє підвищенню їхньої надійності [1]. Типові застосування рішень на основі прогресивних компоновок включають: ІМС для високопродуктивних обчислень (High Performance Computing), ІМС для Artificial Intelligence та Machine Learning, високопродуктивні графічні процесори, мережеві ASIC та напівпровідникові компоненти для мобільних пристроїв [2]. Вибір оптимальної моделі тестування між'єднань є суттєвою складовою для розвитку гетерогенних мікросистем [3]. Складність і вартість верифікації кристалів зростає через мікрометрові розміри, надмірну кількість контрольних точок [4], а також прихованість значної частини розводки в пакеті. У цьому контексті важливу роль відіграє стандарт IEEE P3405, оскільки регламентує методології оцінки між'єднань і сприяє підвищенню їхньої надійності. Крім того, класичні технології дротового

монтажу (Wirebonding) або монтажу методом переворотного кристалу (Flip Chip) на стандартних кульках припою (C4-бампи) забезпечують відносно невелику кількість з'єднань: сотні контактів при розміщенні по периметру кристала і тисячі при розміщенні по всій його площі [5]. Однак із зростанням рівня інтеграції ІМС цього стає недостатньо.

Ще серйознішим викликом є виробництво великих монокристалів. Більшість літографічних процесів обмежують зону експонування кристала одним reticle (26×33 мм), а в деяких випадках — навіть до $26 \times 16,5$ мм [6]. Навіть якщо вдається досягти більшої зони експонування, зворотно-пропорційна залежність між площею кристала та виходом справних чипів різко підвищує собівартість готового виробу. Це додатково посилюється значним зростанням вартості кремнієвих пластин для техпроцесів 7 нм і менше. Наприклад, ціна 300-мм кремнієвої пластини для 2 нм техпроцесу TSMC може сягати 30 тисяч доларів США. Щоб задовольнити ці вимоги, було розроблено цілу низку двовимірних (2D), дво- з половиною-вимірних (2,5D) і навіть тривимірних (3D) інтеграцій.

Метою дослідження є аналіз сучасних тенденцій і основних викликів, пов'язаних із прогресивними технологіями корпусування ІМС, для подальшого вибору оптимальної моделі тестування між'єднань чиплетів.

Основна частина

Інтеграція ІМС з внутрішнім розведенням виводів Fan-In Wafer-Level Package (WLP) — це двовимірна технологія пакування ІМС, при якій розведення виводів здійснюється ще на етапі цілої пластини, на відміну від традиційного процесу, коли збірка окремих кристалів у пакети відбувається після розрізання пластини. Технологія забезпечує корпус із габаритами, наближеними до розміру кристала, з перерозподільним шаром (RDL) у межах його периметра, однак має обмеження щодо кількості виводів.

Коли існує необхідність отримати більшу кількість виводів то розповсюджують зону контактів за периметр кристалу. Таку технологію відносять до інтеграції з зовнішнім розведенням виводів (Fan-Out-WLP). Існує реалізація двома способами Chip First та Chip Last. У Chip First кристал спочатку встановлюється та обволочується компаундом, після чого прикріплюється до підложки і наостанок формується RDL. У Chip Last пакет спочатку створюється починаючи з RDL на підложці, а потім додається кристал і компаунд.

Інтеграція ІМС система на кристали (SoC) інтегрує ІМС з різними функціями, такими як центральний процесор, графічний процесор, пам'ять тощо, в один кристал для системи або підсистеми. Коли одного кристала недостатньо то можлива інтеграція Package-on-Package (PoP) цей метод компонування дозволяє вертикально поєднувати пакети кристалів в одному корпусі. Два або більше (через проблеми тепловідводу цього уникають [7]) пакетів встановлюються один на одному зі інтерфейсом для маршрутизації сигналів між ними. PoP забезпечує вищу щільність компонентів у пристроях, таких як мобільні телефони, цифрові камери, хоча і при цьому збільшується загальна висота компонента.

Особливу увагу заслуговують 2,5-вимірні інтеграції ІМС, до яких відносять різні технології на основі інтерпозера або кремнієвого моста. Інтерпозер — це тонка пластина (~100–200 мкм), виготовлена переважно з кремнію, хоча можливе використання й інших матеріалів, таких як скло або органічні сполуки. У цій пластині створені так звані міжперехідні з'єднання (Through Silicon Via – TSV для кремнію або Through Glass Via – TGV у випадку скла) [8]. Типовий діаметр таких з'єднань знаходиться в діапазоні 10–25 мкм. Після травлення або лазерної обробки отвори заповнюються міддю шляхом металізації. Інтерпозери підтримують високу щільність контактів – до 10^6 см^{-2} , що суттєво перевищує можливості керамічних або органічних пакетів, які зазвичай мають щільність близько 10^3 см^{-2} . Крім того, крок з'єднань (pitch) виводів на інтерпозерах може становити всього 5 мкм, тоді як у керамічних пакетах він на порядок більший. За функціональністю інтерпозери поділяються на: пасивні, які лише забезпечують електричні міжз'єднання та активні, що містять додаткові функції, наприклад, ретрансляцію сигналів.

Прикладом активних інтерпозерів є широкий клас ІМС пам'яті та логіки. Інтеграція логіки безпосередньо в інтерпозер покращує його функціональність, але водночас збільшує вартість та ускладнює проектування систем на його основі. Натомість пасивні інтерпозери зустрічаються частіше і зазвичай містять кілька шарів металізації для передачі сигналів і живлення, деякі мають вбудовані пасивні компоненти, такі як конденсатори.

Технологія інтерпозерів була розроблена як проміжний етап до 3D-інтегрованих систем, оскільки широке впровадження останніх потребує подолання численних технічних і логістичних викликів. Зокрема, відсутність єдиної моделі та налагодженого ланцюга постачання між різними учасниками виробничого процесу ускладнює їх впровадження. Через це інтерпозери, які еволюціонували з технологій багатокристалних модулів, мають менше виробничих обмежень і нижчу собівартість порівняно з 3D-інтеграцією. Це робить їх життєздатним

рішенням для забезпечення все більш складної комунікації між кристалами. Завдяки своїм перевагам технологія інтерпозерів швидко розвивається, а вдосконалення процесів виробництва та матеріалів сприяє її перетворенню на окрему перспективну технологію, а не просто проміжне рішення на шляху до 3D-систем. Серед недоліків які виникають при експлуатації інтерпозерів з металізованими міжперехідними з'єднаннями є ризик деформації структури пакету внаслідок суттєвої різниці між коефіцієнт теплового розширення міді та кремнію ($16,5 \times 10^{-6} / ^\circ\text{C}$ проти $2,6 \times 10^{-6} / ^\circ\text{C}$).

Альтернативою до TSV є використання вертикального з'єднання кристалів на двосторонньому інтерпозері за допомогою отворів через кремній (Through Silicon Hole – TSH) на підложці та зростанні мідних штифтів (10–20 мкм в діаметрі) на кристалах. Іншими словами, металізація отворів в підложці не виконується, натомість через ці отвори відбувається з'єднання мідних штифтів.

Однією з найвідоміших реалізацій технології інтерпозера є інтеграція CoWoS (Chip-on-Wafer-on-Substrate) від компанії TSMC. Першим виробом на платформі CoWoS був продукт для Xilinx в 2011 році з розміром інтерпозера відповідаючому $1 \times \text{reticle}$ ($26 \times 33 \text{ мм}$). Технологія існує в варіантах CoWoS-S, CoWoS-R та CoWoS-L [9].

CoWoS-S платформа інтеграції з кремнієвим інтерпозером і високощільними міжз'єднаннями, на великій площі (до $3,3 \times \text{reticle} \sim 2700 \text{ мм}^2$) інтерпозера для розміщення різних функціональних верхніх кристалів, включно з логічними чиплетами та високошвидкісною пам'яттю (HBM).

CoWoS-R платформа інтеграції з органічним інтерпозером та RDL зовнішнім розведенням виводів) — використовує інтерпозер з RDL для з'єднання між системою на кристалі (SoC) та високошвидкісною пам'яттю (HBM), забезпечуючи гетерогенну інтеграцію. Інтерпозер RDL складається з полімерного матеріалу та мідних дорожок. CoWoS-L – це один із варіантів технології Chip Last на платформі CoWoS. Використовується інтерпозер із Local Silicon Interconnect (LSI) для міжкристалних з'єднань та шари перерозподілу (RDL) для передачі живлення та сигналів. Основні характеристики CoWoS: кристали LSI забезпечують високу щільність трасування міжкристалних з'єднань через декілька шарів субмікронних мідних провідників. Інтерпозер містить шари RDL із широким кроком для передачі сигналів і живлення. Це знижує втрати високочастотних сигналів під час швидкісної передачі даних. Серед інших недоліків варто відмітити: нижчий вихід при збільшенні розміру інтерпозера, складна верифікація 2,5-вимірних і 3-вимірних структур.

На рис. 1 представлений опис пакету інтерпозера з чиплетами на мові Verilog. Характерною властивістю є наявність одного інтерпозера на одразу кілька чиплетів. Порти пакету проходять через інтерпозер починаючи з нижчого рівня (порти з суфіксом bot) і закінчуючи рівнем вищим рівнем (порти з суфіксом top). За потреби деякі з портів розгалужуються на кілька різних кристалів, тоді як деякі біти портів призначені конкретним кристалам. Інакше – можлива підтримка різної топології розведення (1 до 1, 1 до багатьох).

Інший варіант 2,5-вимірної інтеграції є інтеграція на основі невеликого кремнієвого міжкристального містка – ЕМІВ (Embedded Multi-die Interconnect Bridge). Дана технологія пакування напівпровідників розроблена Intel, де невеликий вбудований кремнієвий міст відповідає за з'єднання кількох кристалів або чиплетів у межах одного корпусу. На відміну від одного великого кремнієвого інтерпозера, міст ЕМІВ охоплює лише ту область, яка необхідна для з'єднання конкретних кристалів, що робить сам міст більш компактним і економічно вигідним рішенням [10].

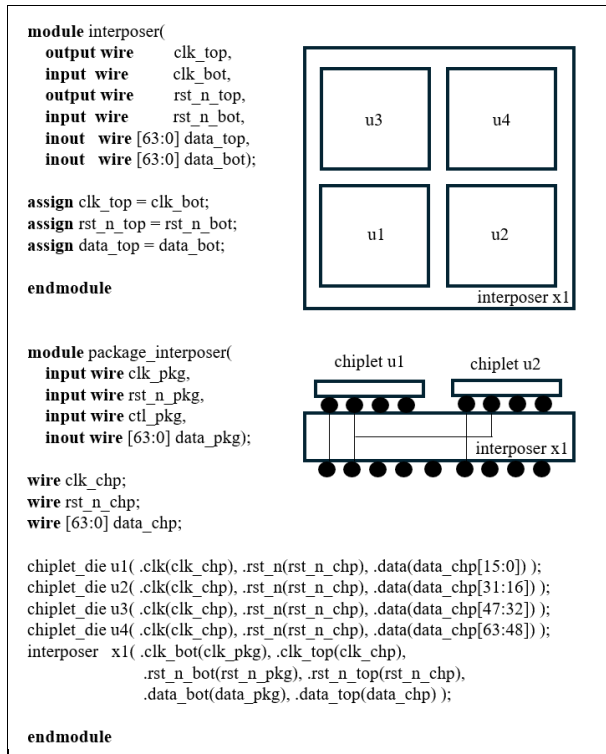


Рис. 1. Опис CoWoS пакету мовою Verilog

ЕМІВ дозволяє інтегрувати кілька кристалів у високо інтегровану систему SiP з можливістю використання кількох мостів ЕМІВ у межах одного корпусу. Цей підхід вимагає тісної спільної розробки кристалів, ЕМІВ і загальної архітектури корпусу для оптимізації продуктивності та вартості, на відміну від більш орієнтованого на інтерфейси кремнієвого інтерпозера. Ключова перевага технології полягає в можливості інтегрувати велику кількість кристалів в одному корпусі використовуючи при цьому невеликі кремнієві містки (1-5 мм ширини, до 10 мм довжини і 100 мкм товщини). Типовий розмір мікробампів складає 55 мкм, при цьому розмір бампів на містку може відрізнятися для інтеграції кристалів з іншим кроком з'єднань. Це може бути перевагою в тому сенсі, що відбувається локалізація мікробампів (використовується там де потрібно, а не по всій площі в випадку кремнієвого інтерпозера). До недоліків слід віднести меншу щільність з'єднань порівнянно до кремнієвого інтерпозера, меншу швидкість сигналів і гірший тепловий режим через використання полімерних матеріалів які оточують кремнієвий міст.

На рис. 2 представлений можливий опис ЕМІВ пакет з чиплетами мовою Verilog.

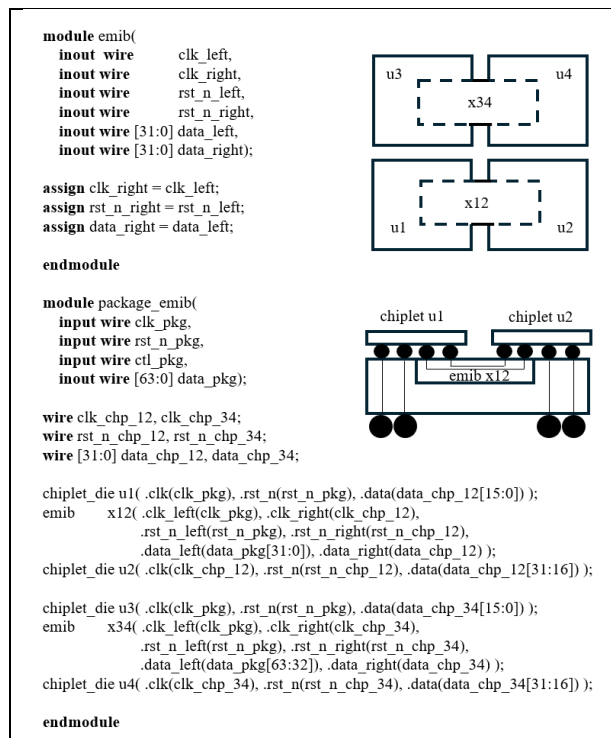


Рис. 2. Опис ЕМІВ пакету мовою Verilog

Характерною властивістю є наявність кількох мостів, кожен з яких поєднує пару чиплетів. Чиплети також можуть мати з'єднання поза мостом, наприклад зазвичай живлення реалізується таким чином.

Висновки

Через об'єктивні виклики як на фізичному, так і на економічному рівні, традиційні підходи до корпусування та пакування ІМС поступово замінюються технологіями Advanced Packaging. У зв'язку з цим все більше рішень використовуватимуть 2,5D/3D інтеграцію на основі з'єднувального кристала (міжкристального містка чи інтерпозера) з надвисокою щільністю між'єднань (сотні тисяч – мільйони з'єднань між кристалами). Як зазначено в дорожній карті TSMC, компанія активно працює над збільшенням площі інтерпозера (переробляється літографічний процес, змінюються фотошаблони тощо), що дозволить збільшити кількість між'єднань у майбутньому. З освоєнням 2,5D інтеграцій, очікується активний рух у бік повноцінних 3D інтеграцій на основі активних інтерпозерів та споріднених технологій, які включають поєднання активних елементів і міжкристальних з'єднань. При цьому існуючі труднощі у досягненні надійних між'єднань не тільки не зникнуть, а й будуть ще більш множитись і загострюватись. Шляхами для подолання цих викликів є побудова оптимальної моделі тестування багатокристалних ІМС на різних етапах їх виробничого циклу – від проектування до тестування на етапах виробництва (Pre-Bond, Mid-Bond, Post-Bond). Перспективним є подальший розвиток описів багатокристалних структур з допомогою Verilog/SystemVerilog. Мови опису апаратури мають розвинений функціонал, здатний точно описати структурну компоновку таких виробів і провести симуляцію в рамках функціонального тестування. Більш того, це дозволить здійснювати симуляції з урахуванням

параметрів затримок сигналів (STA – статичний часовий аналіз) на різних елементах міжз'єднань. Така модель повинна враховувати існуючі технологічні обмеження на розмір контактних майданчиків тестових точок (у випадку мікроматріць – це десятки нанометрів), їх обмежену кількість (збільшення розміру тестових майданчиків погіршує електричні характеристики високо-частотних сигналів і не несе функціональної користі після верифікації кристала), їх недоступність для безпосередніх операцій після певних етапів пакування, а також ризик фізичного пошкодження мікроматріць через вплив зондувального обладнання.

Основна проблема – яку модель слід заадресувати, – це можливість швидкої і надійної верифікації багатотисячних міжкристалних з'єднань. Можливим підходом, який варто дослідити, це ранжирування провідників у wire-clusters (IEEE P3405) по певній геометричній характеристиці, щоб відокремити менші по кількості підкластери які мають більший вплив в рамках свого підкластера чим поза ним. Необхідно також використовувати прості векторно-логічні моделі для тестування чіплет-з'єднань, заздалегідь зробивши сегментацію сукупності з'єднань, оскільки їх у пакеті кристалів може бути біля 100 тис. [3, 11].

СПИСОК ЛІТЕРАТУРИ

1. Chiplet Interconnect Test and Repair in conjunction with IEEE European Test Symposium 2024. Thursday, May 23 – 24, 2024. <https://ets24.nl/index.php/workshops/citar/>
2. John H. Lau. Semiconductor Advanced Packaging. Springer, Singapore. – 2021. – 498 p.
3. Hahanov V., Gharibi W., Chumachenko S., Litvinova E. Vector Synthesis of Fault Testing Map For Logic. IAES International Journal of Robotics and Automation (IJRA). 2024. Vol. 13, No. 3. P. 293-306. DOI: [10.11591/ijra.v13i3.pp293-306](https://doi.org/10.11591/ijra.v13i3.pp293-306).
4. Paul D. Franzon, Erik Jan Marinissen, Muhannad S. Bakir. Handbook of 3D Integration. Wiley-VCH, 2019. Vol. 4. 488 p.
5. Andrea Chen, Randy Hsiao-Yu Lo. Semiconductor Packaging. Materials Interaction and Reliability. – CRC Press: Boca Raton, 2012. – 187 p.
6. IEEE International Roadmap for Devices and Systems, “Lithography and Patterning.” Institute of Electrical and Electronics Engineers, 2023. DOI: [10.60627/khgq-xy87](https://doi.org/10.60627/khgq-xy87)
7. Vasilis F. Pavlidis, Ioannis Savidis, Eby G. Friedman. Three-Dimensional Integrated Circuit Design. Publisher, Newnes, 2017. 768 p.
8. Thomas M. Moore, Robert G. McKenna. Characterization of Integrated Circuit Packaging Materials: Butterworth-Heinemann, London, 2013, 274 c.
9. TSMC: Chip on Wafer on Substrate with silicon interposer (CoWoS). [Електронний ресурс]. – Available at URL <https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/cowos.htm>
10. Mahajan R. et al., "Embedded Multidie Interconnect Bridge – A Localized, High-Density Multichip Packaging Interconnect," in IEEE Transactions on Components, Packaging and Manufacturing Technology. – Oct. 2019. – Vol. 9, no. 10. – pp. 1952-1962. doi: 10.1109/TCPMT.2019.2942708.
11. Gharibi W. Vector-logic computing for faults-as-address deductive simulation / V. Hahanov, S. Chumachenko, E. Litvinova, I. Hahanov, I. Hahanova // IAES International Journal of Robotics and Automation. – 2023. – Т. 12. – №. 3. – С. 274-288. DOI: 10.11591/ijra.v12i3.pp274-288

Received (Надійшла) 14.05.2025

Accepted for publication (Прийнята до друку) 06.08.2025

ВІДОМОСТІ ПРО АВТОРІВ / ABOUT THE AUTHORS

Демченко Олег Іванович – аспірант кафедри автоматизації проектування обчислювальної техніки, Харківський національний університет радіоелектроніки, Харків, Україна;

Oleh Demchenko – PhD student, Design Automation Department, Kharkiv National University of Radioelectronics, Ukraine; e-mail: oleh.demchenko@nure.ua; ORCID Author ID: <http://orcid.org/0009-0000-4406-8304>.

Чумаченко Світлана Вікторівна – доктор технічних наук, професор, завідувач кафедри автоматизації проектування обчислювальної техніки, Харків, Україна;

Svetlana Chumachenko – Doctor of Technical Sciences, Professor, Head of Design Automation Department, Kharkiv National University of Radioelectronics, Kharkiv, Ukraine;

e-mail: svetlana.chumachenko@nure.ua; ORCID Author ID: <http://orcid.org/0000-0001-8913-1194>;

Scopus Author ID: <https://www.scopus.com/authid/detail.uri?authorId=57188710840> .

Advanced packaging technologies for integrated circuits

Oleg Demchenko, Svetlana Chumachenko

Abstract. Relevance. Given the global surge in demand for advanced semiconductor solutions, improving advanced packaging technologies is strategically important for the electronics industry. **The purpose** of this work is to analyze current trends and major challenges associated with advanced IC packaging technologies to support the selection of optimal chiplet interconnect testing models. **The object** of study is IC layout and packaging technologies. **The subject** of study includes technological solutions and design features of advanced IC packaging and layout. These include 2,5D integration, which enables ultra-high interconnect density, such as silicon interposer-based integration (CoWoS) and embedded multi-die interconnect bridge (EMIB). The study also considers materials and related technological processes that contribute to the creation of effective interconnects. **Results.** The study analyzes the key issues that accompany modern packaging technologies, including parasitic electrical characteristics, thermal loads, and mechanical stress, all of which can affect IC longevity and performance. It examines the advantages and drawbacks of advanced packaging methods, particularly 2,5D integration technologies, which significantly improve component integration density, reduce electrical interconnect lengths, and enhance heat dissipation. A basic implementation of CoWoS and EMIB structures in Verilog hardware description language is presented as a starting point for building more complex simulation models.

Keywords: Advanced Packaging, ASIC, 2,5D-IC, EMIB, CoWoS, Interposer, Chiplets, Wirebonding, Flip Chip, simulation, verification, testing.