

ОСОБЛИВОСТІ АПАРАТНОЇ РЕАЛІЗАЦІЇ ПОМНОЖУВАЧА НА ОСНОВІ МОДИФІКОВАНОГО ДЕРЕВА УОЛЛЕСА

Розглянуті особливості апаратної реалізації помножувача на основі модифікованого дерева Уоллеса. Виконано оцінювання апаратних витрат на його реалізацію при використанні програмованої користувачем вентиляльної матриці Stratix IV фірми Альтера. Проведено порівняння характеристик продуктивності із вбудованим модулем множення, що надається виробником на основі ліцензії.

Ключові слова: процесор цифрових сигналів, апаратний помножувач, дерево Уоллеса, програмована користувачем вентиляльна матриця.

Вступ

Характерною рисою процесорів цифрових сигналів (ПЦС, DSP – digital signal processor) є наявність апаратної підтримки базової операції «множення з накопиченням» (MAC – Multiply and Accumulate) вигляду:

$$Y = Y + A \times B,$$

де Y , A , B – елементи дійсних масивів [3, 6].

Для реалізації алгоритмів ПЦС часто застосовуються програмовані користувачем вентиляльні матриці (ПКВМ, FPGA – Field-Programmable Gate Array), що мають вбудовані спеціалізовані помножувачі (DSP block) [4 – 6].

Проте збільшення кількості та розрядності цих блоків призводить до значного підвищення вартості кристалу. Саме тому задача пошуку ефективних апаратних структур, що дозволяють зменшити вартість реалізації алгоритмів ПЦС при збереженні необхідного рівня продуктивності є актуальною. Взагалі методи прискорення множення можна умовно розділити на логічні і апаратні [1]. Логічні методи дозволяють скоротити час обчислення шляхом застосування більш ефективних алгоритмів множення, зокрема за рахунок застосування надлишкових систем числення і систем з основою більше двох, що зменшують загальну кількість операцій додавання [1]. В апаратних методах акцент робиться на «схемному» скороченні часу обчислення і підсумовуванні часткових добутоків [1, 6, 7]. Оскільки цифровий фільтр працює із потоковими даними, то доцільно використовувати конвеєрну обробку даних замість ітераційних алгоритмів, де один біт результату формується за n ітерацій, при чому кількість додавань не завжди дорівнює кількості ітерацій і залежить від алгоритму.

У загальному випадку апаратні методи прискорення множення зводяться до [1, 6, 7]:

- паралельного обчислення добутоків;
- скорочення кількості операцій додавання;
- зменшення часу поширення переносів при додаванні часткових добутоків.

За структурою апаратні методи поділяються на матричні та деревовидні [1]. Поряд з високою швидкістю важливою перевагою матричних помножувачів є їх регулярність, що особливо істотно при реалізації таких помножувачів у вигляді інтегральних мікросхем спеціального призначення. З іншого боку, подібні схеми займають велику площу на кристали мікросхеми, причому зі збільшенням розрядності операндів ця площа збільшується пропорційно квадрату числа розрядів [1]. Час конвеєрного виконання операції множення визначається, часом виконання найповільнішої стадії. Для матричного помножувача це – останній суматор в матриці суматорів, його розрядність складає $2n$, де n – розрядність операндів [1]. Скоротити затримку, властиву матричним помножувачам, вдається в схемах з деревовидною структурою [1, 6, 7]. Однією з розповсюджених деревовидних схем множення є дерево Уоллеса.

Метою даного дослідження є оцінювання продуктивності та апаратних витрат на реалізацію помножувача на основі модифікованого дерева Уоллеса.

Властивості схеми множення на основі дерева Уоллеса

У матричних помножувачах кожен частковий добуток додається до суми часткових добутоків (СЧД) за допомогою окремого рядка суматорів. Відповідно, для множення n -розрядних чисел потрібно n таких рядків. В деревовидних помножувачах процес отримання СЧД також реалізується рядками суматорів, але організованих за схемою дерева, завдяки чому кількість рядків скорочується до $\log_2 n$. Так як в помножувачах обох типів кожен рядок вносить затримку, властиву одному повному суматору, кількість рядків фактично визначає загальну швидкість помножувача при не конвеєрному виконанні.

Помножувач на основі дерева Уоллеса включають в себе три рівні (див. рис. 1) [1, 7]:

- рівень формування всіх добутоків;
- рівень стиснення часткових добутоків;
- рівень заключного додавання.

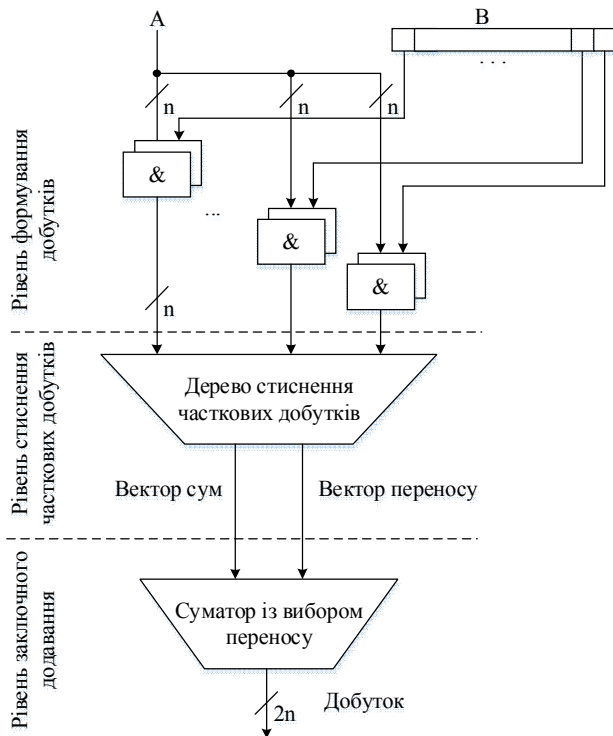


Рис. 1. Помножувач на основі дерева Уоллеса

В найбільш загальному формулюванні дерево Уоллеса – це оператор, що має n входів та $\log_2 n$ виходів, в якому код на виході дорівнює числу одиниць у вхідному коді [1, 6, 7]. Відповідно, найпростішим деревом Уоллеса є однорозрядний суматор. Використовуючи такі суматори, а також напівсуматор, можна побудувати дерево Уоллеса для множення чисел будь-якої розрядності, при цьому кількість суматорів зростає пропорційно величині $\log_2 n$. У такій же пропорції зростає загальний час виконання операції множення, що дорівнює глибині дерева. Основна сфера використання помножувачів зі структурою Уоллеса - множення чисел великої розрядності, але в той же час ця структура найменш регулярна [1, 6, 7].

Характеристики та оцінки порівнюваних структур апаратних помножувачів наведені в таблиці 1 [2, 6, 7], де CPA – суматор із послідовним переносом, CLA – суматор із прискореним переносом, CSELA – суматор із вибором переносу.

Таблиця 1
Порівняння апаратних помножувачів

Тип	Апаратні витрати	Час виконання	Найповільніший елемент
Матричний	$O(n^2)$	$O(n)$	CPA(2n)
Двійкове дерево	$O(\log_2 n)$	$O(\log_2 n)$	CPA(2n)
Дерево Уоллеса	$O(\log_{3/2} n)$	$O(\log_{3/2} n)$	CLA(2n), CSELA(n)
Модифіковане дерево Уоллеса	$O(\log_{6/3} n)$	$O(\log_{6/3} n)$	CLA(2n), CSELA(n)

Суттєвою перевагою дерева Уоллеса є те, що найповільнішим елементом структури є рівень заключного додавання. Відповідно, для підвищення швидкодії всієї структури достатньо замінити один суматор із послідовним переносом на суматор із вибором переносу при великій розрядності або із прискореним переносом, що є неможливим в інших структурах, так як призведе до суттєвого збільшення апаратних витрат. Особливістю суматора із вибором переносу є те, що найдовше коло переносів скорочується вдвоє. Таким чином, задачею дослідження є покращення регулярності структури зі збереженням необхідних характеристик продуктивності.

Спосіб підвищення регулярності структури

Основним елементом немодифікованого дерева Уоллеса є суматор із збереженням переносу з трьома входами і двома виходами, що в свою чергу означає, що кількість входів наступної стадії конвеєра зменшується в 1,5 рази. Тому, якщо змінити співвідношення кількості входів елемента до кількості виходів до 2, отримаємо показники регулярності такі, як у двійкового дерева. На рис. 2 показана схема додавання 9 чисел на основі звичайного дерева Уоллеса.

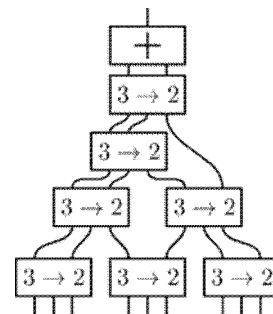


Рис. 2. Приклад дерева Уоллеса для 9 входів

Тому для покращення регулярності застосуємо базовий елемент дерева у якого 6 входів та 3 виходи. Використання саме такої кількості входів пояснюється тим, що у більшості ПКВМ максимальна кількість аргументів (входів) логічної функції складає 6, а всі інші варіанти кількості входів (3, 4, 5) реалізуються за допомогою LUT-6, яка являє собою однорозрядну комірку SRAM-пам'яті на 64 значення та може бути сконфігурована на менше число значень (32, 16, 8 і т.д.).

Приклад синтезу логічної схеми суматора зі збереженням переносу

Як приклад, синтезуємо суматор зі збереженням переносу для дерева Уоллеса, який реалізує представлення суми кодів, що надходять на 6 входів у вигляді трьох значень. Модель CSA у вигляді «чорного ящика», для якого визначені множини вхідних та вихідних сигналів, представлена на рис. 3.

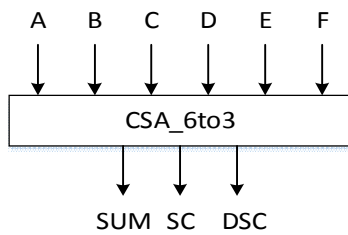


Рис. 3. Модель суматора зі збереженням переносу

На рис. 3 позначені такі вхідні та вихідні сигнали:

- A, B, C, D, E, F – входи суматора;
- SUM – вихід часткової суми;
- SC – вихід зсунутого переносу до наступного розряду;
- DSC – вихід зсунутого переносу через один розряд.

Маємо три логічні функції (ЛФ) шести аргументів тобто, одна LUT-6 на кожну ЛФ. Особливістю такого суматора є те, що значення векторів SC та DSC зсунуті відносно вектора SUM на один та два розряди відповідно.

Словесний опис ЛФ SC та DSC:

1. SC – якщо на двох, трьох або на всіх входах – «1», то на виході також «1», інакше – «0».

2. DSC – якщо на чотирьох, п'яти або на всіх входах – «1», то на виході також «1», інакше – «0».

Запишемо ЛФ суматора зі збереженням переносу для 6 входів та 3 виходів у аналітичному вигляді:

$$\begin{aligned} \text{SUM} &= A \oplus B \oplus C \oplus D \oplus E \oplus F, \\ \text{SC} &= AB \oplus AC \oplus AD \oplus AE \oplus AF \oplus BC \oplus BD \oplus \\ &\quad \oplus BE \oplus BF \oplus CD \oplus CE \oplus CF \oplus DE \oplus DF \oplus EF, \\ \text{DSC} &= ABCD \oplus ABCE \oplus ABCF \oplus ABDE \oplus ABDF \oplus \\ &\quad \oplus ABEF \oplus ACDE \oplus ACDF \oplus ACEF \oplus ADEF \oplus \\ &\quad \oplus BCDE \oplus BCDF \oplus BCEF \oplus BDEF \oplus CDEF [2, 5]. \end{aligned}$$

ЛФ суматора зі збереженням переносу для 3 входів та 2 виходів у аналітичному вигляді:

$$\text{SUM} = A \oplus B \oplus C; \text{SC} = AB \vee BC \vee AC. [2, 4].$$

На рис. 4 показана структура для додавання 24 вхідних векторів.

Оцінювання апаратних витрат та характеристик продуктивності

Оцінювання апаратних витрат на реалізацію комбінаційних схем зручно проводити у вигляді кількості вентилів, необхідних для реалізації логічної схеми. Під вентилям традиційно розуміють логічні елементи АБО, ТА, АБО-НІ, ТА-НІ на два входи. Проте, при застосуванні ПКВМ використовується інший підхід – всі логічні функції виражаються в LUT-6, LUT-5, LUT -4, LUT-3, LUT-2, а також підраховується кількість необхідних тригерів за допомогою САПР.

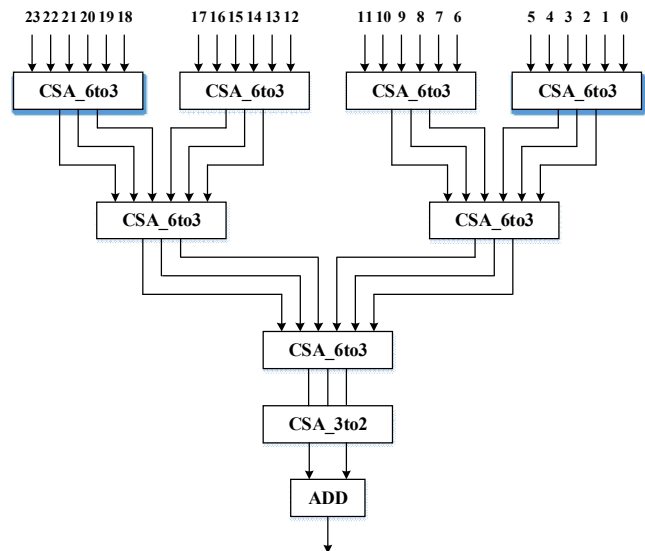


Рис. 4. Приклад модифікованого дерева Уоллеса для 24 входів

Тоді, у першому наближенні, на підставі структурної схеми суматора зі збереженням переносу (див. рис. 3) апаратні витрати на його реалізацію:

$$W_{\text{CSA}}(n, i) = \lfloor \log_2 i + 1 \rfloor n - \sum_{i=1}^{\lfloor \log_2 i \rfloor} i, \quad (1)$$

де n – розрядність,

i – кількість входів,

$\lfloor \log_2 i + 1 \rfloor$ – кількість виходів,

$\sum_{i=1}^{\lfloor \log_2 i \rfloor} i$ – кількість виходів, що будуть встановлені в «0».

Для трьохвходового суматора зі збереженням переносу ця кількість становить 1, для шестивходового – 3. Це пояснюється тим, що вектори SC та DSC зсунуті відповідно на 1 та 2 розряди вліво, тому їх молодші розряди завжди встановлені в «0». Приблизна загальна кількість LUT визначається за формулою:

$$\begin{aligned} W_{\text{TREE}}(n, i) &= \left(2^{\lfloor \log_2 i / 6 + 1 \rfloor} - 1 \right) \cdot W_{\text{CSA}}(n, 6) + \\ &\quad + W_{\text{CSA}}(n, 3) + 2n, \end{aligned} \quad (2)$$

де $\lfloor \log_2 i / 6 + 1 \rfloor$ – глибина дерева;

$W_{\text{CSA}}(n, 6)$,

$W_{\text{CSA}}(n, 3)$ – кількість LUT, необхідних для реалізації, відповідно, шести- та трьохвходового суматора зі збереженням переносу;

$2n$ – кількість LUT для суматора з вибором переносу.

На рис. 5 показана залежність приросту тактової частоти в порівнянні із вбудованими помножувачами при різних умовах експлуатації (напряга живлення, температура).

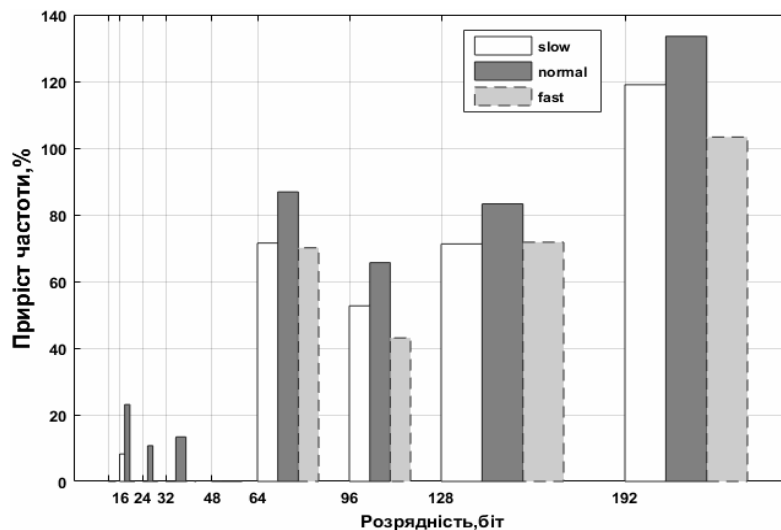


Рис. 5. Діаграма залежності приросту частоти від розрядності даних

Максимальна тактова частота розраховується на основі STA засобами САПР. STA (англ. Static timing analysis) – це метод розрахунку часових параметрів ПКВМ при різних умовах експлуатації, що не вимагає повноцінного електричного моделювання роботи схеми.

Видно, що при розрядності даних до 48 приріст частоти складає приблизно 10% – 20%, а при розрядності більше 64 зростає у два рази та вище.

Висновки

Запропоновано модифікацію дерева Уоллеса, що підвищує регулярність структури шляхом збільшення відношення кількості входів до кількості виходів до 2.

Проведено оцінювання витрат на апаратну реалізацію помножувача на основі модифікованого дерева Уоллеса та порівняння показників продуктивності з убудованими помножувачами.

Запропонований помножувач може афективно використовуватися для реалізації алгоритмів процесорів цифрових сигналів при великій розрядності вхідних даних.

Список літератури

1. Орлов, С.А. Организация ЭВМ и систем : учебник для вузов / С.А. Орлов, Б.Я. Цилькер. - СПб.: Питер, 2011. - 688 с.
2. Кормен, Т., Лейзерсон, Ч., Ривест, Р. Алгоритмы: построение и анализ. — 960 с.
3. Солонина А.И., Улахович Д.А., Яковлев Л.А. Алгоритмы и процессоры цифровой обработки сигналов. – СПб: БХВ-Петербург, 2001. — 464 с.
4. Earle, J. G. et al U.S. Patent 3 340 388 «Latched Carry Save Adder Circuit for Multipliers» filed July 12, 1965.
5. Joel Hatsch, Winfried Kamp, Siegmund Koppe, Ronald Kunemund, Eva Lackerschmid, Heinz Soldner U.S. Patent U.S. 20 040 159 712 «6-To-3 bit carry-save adder» filed August 19, 2004.
6. Avinash M. Ghorpade, Amey Mahadeo Muchandi «Multiplier Design Using Carry Save Adder», IJAREEIE. Vol. 5, Issue 4, April 2016.
7. Jasbir Kaur and Kavita, «Structural VHDL Implementation of Wallace Multiplier», International Journal of Scientific & Engineering Research, vol. 4, Issue. 4, pp. 1829-1833, April 2013.

Надійшла до редколегії 31.10.2017

Рецензент: д-р техн. наук, проф. Г.А. Кучук, Національний технічний університет «ХПІ», Харків.

ОСОБЕННОСТИ АППАРАТНОЙ РЕАЛИЗАЦИИ УМНОЖИТЕЛЯ НА ОСНОВЕ МОДИФИЦИРОВАННОГО ДЕРЕВА УОЛЛЕСА

А.И. Тыртышников, М.А. Маврина, П.А. Рудь

Рассмотрены особенности аппаратной реализации умножителя на основе модифицированного дерева Уоллеса. Выполнено оценивание аппаратных затрат на его реализацию при использовании программируемой пользователем вентильной матрицы Stratix IV фирмы Альтера. Проведено сравнение характеристик продуктивности со встроенным модулем умножения, который представляется производителем на основе лицензии.

Ключевые слова: процессор цифровых сигналов, аппаратный умножитель, дерево Уоллеса, программируемая пользователем вентильная матрица.

FEATURES OF HARDWARE IMPLEMENTATION OF THE MULTIPLIER BASED ON THE MODIFIED WALLACE TREE

O.I. Tyrtshnikov, M.O. Mavrina, P.O. Rud

Features of the hardware implementation of the multiplier, which uses the structure of the Wallace tree. Estimated the hardware cost for the implementation of this multiplier using Altera's FPGA Stratix IV. Compared performance characteristics with embedded multiplication block which is provided by vendor on license agreement.

Keywords: digital signal processor, hardware multiplier, Wallace tree, Field-Programmable Gate Array.