

Л. В. Ларченко, Б. Д. Ларченко, Т. Г. Рожнова

Харківський національний університет радіоелектроніки, Харків, Україна

МОДЕЛІ ПРОЕКТУВАННЯ БІТ-ПОТОКОВОГО ONLINE-ОБЧИСЛЮВАЧА ІРРАЦІОНАЛЬНИХ ФУНКЦІЙ

Анотація. Актуальність. В розподілених системах управління реального часу необхідно забезпечувати безперервний прийом та обробку потоків інформаційних даних у міру їх надходження. При цьому актуальним завданням є створення поточкових обчислювачів, що виконують функціональне перетворення сигналів сенсорних компонентів, представлених у формі імпульсного потоку. **Метою роботи** є розробка математичної та автоматної моделей проектування поточкового online-обчислювача ірраціональних функцій з імпульсним (бітовим) потоком даних. **Об'єктом дослідження** є апаратні біт-поточкові обчислювачі ірраціональних функцій, основою яких є поточковий спосіб обчислень. **Предметом дослідження** є моделі та методи проектування біт-поточкових online-обчислювачів ірраціональних функцій. **Результати.** Запропоновано удосконалену математичну модель пристрою обчислення ірраціональної функцій з використанням методу ступінчастої апроксимації на основі оберненої функції та автоматну модель обчислювача на основі кінцевого автомата Мура. **Висновок.** Використання запропонованих моделей проектування поточкового обчислювача дозволяє мінімізувати абсолютну похибку обчислень, підвищити ефективність проектування пристроїв за рахунок використання розроблених HDL-шаблонів опису моделі обчислювача.

Ключові слова: функціональне перетворення, бітовий потік даних, поточковий спосіб обчислень, апроксимація, математична модель, автоматна модель, граф переходів, граф-схема алгоритму, FPGA.

Вступ

В розподілених системах управління реального часу необхідно забезпечувати безперервний процес прийому, обробки інформаційних даних та безперервне формування результату в процесі обробки. На даний час отримала розвиток концепція присенсорних обчислень, що передбачає переміщення обробки даних ближче до сенсорних компонентів [1]. При цьому широке застосування знаходять сенсори, що генерують вихідний сигнал у вигляді частотного, час-імпульсного або ШИМ сигналу. Частотний сигнал представляє собою потік імпульсів (бітів) з одиничною амплітудою, в якому інформативним параметром є фіксоване значення бітів за часовий інтервал [2].

Розробка спеціалізованих апаратних online-обчислювачів, що виконують функціональне перетворення сигналів за необхідною функцією з використанням поточкового способу обчислень є актуальним завданням. Поточковий спосіб обчислень передбачає одночасне паралельно-послідовне виконання перетворень над окремими бітами потоку, які здійснюються за рахунок використання методів формування пристроїв.

Для імплементації спеціалізованих функціональних модулів, що здійснюють присенсорні обчислення застосовуються технологічні платформи FPGA, CPLD спеціалізовані інтегральні мікросхеми ASIC, що забезпечують надійність, гнучкість та енергоефективність [3].

У роботі [4] обґрунтовано необхідність розробки перетворювачів для обчислень «поблизу сенсора» при використанні їх в децентралізованих сенсорних системах, показано алгоритми поточної обробки, які забезпечують одночасно функціональні перетворення сигналів, поданих у вигляді бітового потоку та потоку сигналу ШИМ.

В роботі [5] представлено принцип проектування та реалізацію тригонометричних функцій на FPGA з використанням алгоритму CORDIC. В [6] запропоновано архітектуру дільника, засновану на алгоритмі ділення, який використовує зворотну операцію, спираючись на алгоритм ділення Ньютона-Рафсона. При створенні нелінійних поточкових online-обчислювачів, що відтворюють нелінійні функції, використовують точні методи обчислення апроксимуючих функцій на основі диференціальних рівнянь або алгебраїчних рівнянь (обернених функцій).

У роботі [7] представлено математичну модель поточкового степеневго обчислювача з дробовим показником, що отримано на основі оберненої функції, запропоновано узагальнену архітектуру біт-поточкового online-обчислювача.

У [8] запропоновано апаратний біт-поточковий online-обчислювач дробово-раціональних функцій, математична модель якого побудована алгоритмічним шляхом у вигляді системи різницевих нерівностей.

В [9] запропоновано математичну модель поточкового обчислювача дробово-іраціональних функцій, що здійснює двох етапне обчислення функції, математична модель якого представлена декомпозицією математичних моделей обчислювачів дробово-раціональних функцій та функції вилучення кореня.

Метою роботи є дослідження та розробка удосконаленої математичної моделі апаратного біт-поточкового обчислювача ірраціональних функцій, що дозволяє підвищити точність обчислень за рахунок використання методу формування пристроїв висхідних ступінчастих функцій на основі обернених функцій та підвищити швидкодію пристрою, за рахунок конвеєрної архітектури; розробка автоматної моделі пристрою на основі кінцевого автомата Мура, яка забезпечує чіткість реалізації алгоритму обчислень.

Математична модель біт-потокowego обчислювача ірраціональних функцій

В [10] запропоновано метод формування пристроїв висхідних ступінчастих функцій на основі обернених функцій, що забезпечує мінімізацію похибки обчислень, яка складає $\pm 0,5$ молодшого біта аргументу та єдиний підхід до проектування обчислювачів певного класу, які забезпечують формування результату обчислень в реальному часі.

При розробці обчислювачів увагу приділено простоті технічної реалізації за рахунок представлення аргументу функції у вигляді бітового потоку та універсальності використання архітектури з точки зору застосування пристроїв для виконання інших математичних операцій.

За методом формування пристроїв ступінчастих функцій на основі обернених функцій вибіркового значення x_y з вхідного бітового потоку x , що відповідають вузлам апроксимації відтворюваної ступінчастої функції визначаються за наступною формулою:

$$\Psi(y - |\delta_{\max}|) \leq x_y < \Psi(y - |\delta_{\max}|) + 1, \quad (1)$$

де x, y – вхідний та вихідний бітові (імпульсні) потоки; $\Psi(y - |\delta_{\max}|)$ – обернена функція.

Біт-потоківі обчислювачі ірраціональних функцій мають відтворювати на виході пристрою апроксимуючу функцію, що має вигляд:

$$y = \left[\sqrt[q]{x} + 0,5 \right], \quad (2)$$

де $|\delta_{\max}| = 0,5$ – граничне мінімальне значення абсолютної похибки відтворення функцій.

При розробці моделей проектування біт-потокowego online-обчислювача ірраціональних функцій було отримано математичну модель пристрою на основі оберненої функції.

Скориставшись формулою (1) для функції (2) отримано нерівність для визначення вибірових значень x_y , що має бути реалізовано в online-обчислювачі:

$$2^q x_y \geq (2y_k - 1)^q. \quad (3)$$

Вибіркові значення x_y можуть бути визначені за формулою (3) при підстановці $y_k = 1, 2, 3, \dots, k$.

З нерівності (3) отримано математичну модель біт-потокowego обчислювача ірраціональних функцій, яка представляє собою систему різницевої нерівностей:

$$\begin{aligned} 2^q x_1 &\geq (2y_1 - 1)^q, \\ 2^q (x_2 - x_1) + \Delta_1 &\geq (2y_2 - 1)^q - (2y_1 - 1)^q, \\ 2^q (x_3 - x_2) + \Delta_2 &\geq (2y_3 - 1)^q - (2y_2 - 1)^q, \\ &\dots \dots \dots \\ 2^q (x_y - x_{y-1}) + \Delta_{y-1} &\geq (2y_k - 1)^q - (2y_{k-1} - 1)^q. \end{aligned} \quad (4)$$

В системі нерівностей (4) Δ_{y-1} – це різниця, отримана при порівнянні поточних значень приростів функцій $2^q x_y$ та $(2y_k - 1)^q$ між двома сусідніми вузлами апроксимації відтворюваної функції, отриманої на попередньому кроці порівняння.

В системі нерівностей (4) Δ_1 та Δ_{y-1} визначаються за відповідними формулами:

$$\Delta_1 = 2^q x_1 - (2y_1 - 1)^q, \quad (5)$$

$$\Delta_{y-1} = 2^q (x_y - x_{y-1}) + \Delta_{y-2} - (2y_k - 1)^q + (2y_{k-1} - 1)^q. \quad (6)$$

При виконанні кожної нерівності (4) на виході обчислювача буде генеруватися вихідний біт u_k , а отже, першому біту вихідного потоку $u_1 = 1$ відповідає біт x_1 , що обирається з вхідного потоку x , при якому буде виконано першу нерівність (4). Для наступних бітів вихідного потоку u_k будуть виконані наступні нерівності (4) відповідно.

Автоматна модель обчислювача

На основі узагальненої архітектури біт-потокowego online-обчислювача [7] може бути побудовано архітектуру потокowego обчислювача ірраціональних функцій з урахуванням математичної моделі пристрою заданої функції та базової конвеєрної архітектури потокowego поліноміального обчислювача. Архітектура обчислювача ірраціональних функцій є синтезом двох блоків: блок біт-потокowego обчислювача лінійної функції, що здійснює операцію множення вхідних бітів на константу при аргументі x ; блок конвеєрного обчислювача поліноміальних функцій, включений у зворотний зв'язок архітектури, побудований на каскадному з'єднанні суматорів, число яких дорівнює показнику ступеня ірраціональної функції.

Основний обчислювальний компонент архітектури – паралельний суматор результату SM_RES зі зворотним зв'язком, в якому здійснюється порівняння паралельних кодів лівої і правої частин нерівностей математичної моделі обчислювача: ліва частина нерівності є значенням приростів гратчастої функції аргументу, які представлено прямим двійковим кодом; права частина нерівності є значенням приростів рівнів вузлів апроксимуючої функції, що представлена додатковим двійковим кодом.

Біти переповнення суматору SM_RES є бітами початку формування кожної сходинки апроксимуючої ступінчастої функції.

Загальний підхід до апаратної реалізації online-обчислювачів на основі кінцевого автомата моделі Мура, що запропонований в [10], дозволив скористатись графом переходів для блоку керування обчислювальним процесом в online-обчислювачі ірраціональних функцій. Граф переходів керуючого автомата забезпечує чіткість і наочність керування обчислювальними станами пристрою.

Автоматна модель потокowego обчислювача ірраціональних функцій, що побудована на базі кінце-

вого автомату Мура є найбільш придатною для реалізації online-обчислювачів даного класу. Кінцевий автомат має дві складові – керуючий та операційний автомати.

Керуючий автомат обчислювача містить набір станів та переходів між ними (рис. 1).

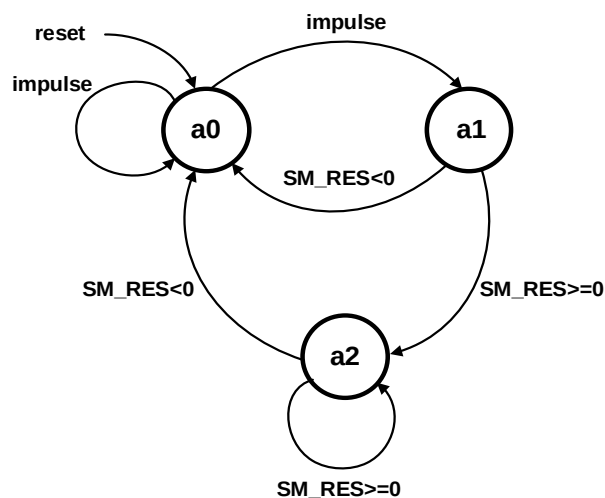


Рис. 1. Граф переходів керуючого автомату пристрою

Граф переходів містить три стани: a0, a1, a2. По сигналу загального скиду пристрою $reset=1$ автомат переходить у початковий стан a0, та знаходиться у даному стані до того моменту, коли на вхід пристрою приходить сигнал «impulse», далі автомат переходить у стан a1, в якому здійснюються обчислення у компонентах прямого зв'язку архітектури пристрою.

Переходи з одного стану в інший відбуваються на основі умов переповнення так/ні суматора SM_RES . В a2 виконуються конвеєрні обчислення у компонентах зворотного зв'язку архітектури.

На підставі математичної моделі та архітектури біт-потоків online-обчислювача розроблено змістовну граф-схему алгоритму (ГСА) операційного автомата реалізації ірраціональної функції, що приведено на рис. 2.

На основі створених графових моделей було розроблено HDL-модель обчислювача функції, що досліджується. В роботі [10] приведено результати експериментального дослідження розроблених моделей проектування біт-потоків обчислювача ірраціональних функцій з відповідними теоретичними розрахунками на прикладі біт-потоків обчислювача квадратичного радикалу, приведено атематичну модель пристрою, ГСА реалізації досліджуваної функції, створено HDL-модель пристрою, яка написана в стилі автоматного програмування, отримано поведінкову модель пристрою в середовищі САПР Active-HDL та здійснено його імплементацію в платформу FPGA Xilinx Spartan, оцінено частотні характеристики пристрою.

Висновки

В результаті проведених авторами досліджень було обґрунтовано актуальність розробки поточкових

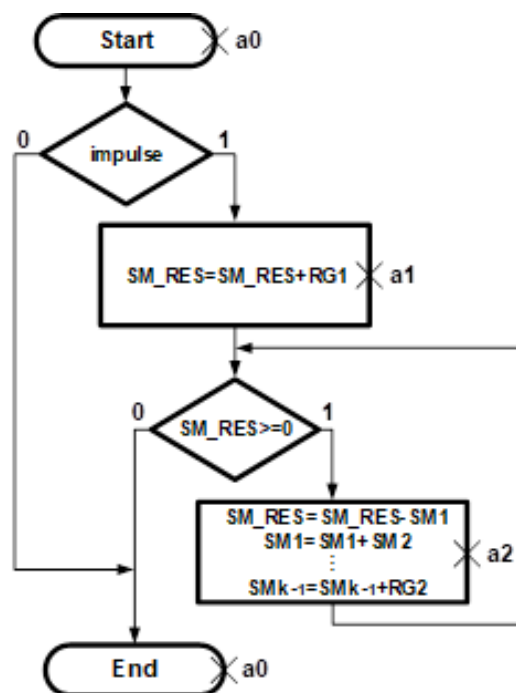


Рис. 2. Граф-схема алгоритму реалізації ірраціональної функції

online-обчислювачів для розподілених систем управління реального часу, що призначені здійснювати функціональну обробку сигналів сенсорних компонентів, представлених імпульсними потоками.

Наукова новизна отриманих результатів полягає у розробці удосконаленої математичної моделі online-обчислювача ірраціональних функцій, яку отримано з використанням методу ступінчастої апроксимації на основі оберненої функції, а також у розробці автоматної моделі пристрою, що забезпечила чіткість виконання алгоритму реалізації ірраціональної функції.

Автоматну HDL-модель створено у вигляді автоматного шаблону, в якому достатньо коригувати HDL-опис операційного автомата обчислювача для реалізації обчислювачів довільного ступеня радикалу.

Практична цінність отриманих результатів полягає у розробці апаратної моделі ірраціонального обчислювача, яка сформована на основі кінцевого автомата моделі Мура, що дало можливість створити графові моделі обчислювача та HDL-модель пристрою для реалізації алгоритму відтворення ірраціональних функцій за допомогою інструментальних засобів САПР ПЛІС. Розроблені моделі проектування дозволяють підвищити ефективність проектування та скоротити час розробки online-обчислювачів даного класу.

Перспективи подальших досліджень передбачають використання запропонованих моделей у створенні поточкових обчислювачів дробово-ірраціональних функцій, що здійснюють двох етапне обчислення і розглянутий у даній роботі обчислювач може бути їх складовою частиною, що дозволяє розширити функціональні можливості досліджуваних пристроїв даного класу.

СПИСОК ЛІТЕРАТУРИ

1. Zhou F., Chai Y., (2020), "Near-sensor and in-sensor computing," Nature Electronics, Vol. 3 (11). pp. 664–671. doi:<https://doi.org/10.1038/s41928-020-00501-9>.
2. Shkil A. S., Larchenko L. V., and Larchenko B. D., (2020) "Bit-stream power function online computer", Proceedings of the IEEE East-west design & test symposium (EWDTS), pp. 1-6. <https://doi.org/10.1109/EWDTS50664.2020.9224764>
3. Sajjad M., Yusoff M. b. Z. and Ahmed M., (2020) "Design of Double-Precision Fully-Programmable Computational Unit for FPGA and ASIC," International Conference on Computing, Electronics & Communications Engineering (iCCECE), Southend, UK, , pp. 21-26.
4. Bureneva O., Mironov S., Safyannikov N., Sukhinets Zh. (2023) "Functional Converter for Intelligent Sensor and Its Layout Design. Engineering Proceedings", 33(1):50. <https://doi.org/10.3390/engproc202303050>.
5. Kumar P. A., (2019) "FPGA implementation of the trigonometric functions using the CORDIC algorithm", Proceedings of the 5th International conference on Advanced computing & communication systems (ICACCS), pp. 894-900, doi: 10.1109/ICACCS.2019.8728315.
6. Rodriguez-Garcia, L. Pizano-Escalante, R. Parra-Michel, O. Longoria-Gandara and J. Cortez, (2013) "Fast fixed-point divider based on Newton-Raphson method and piecewise polynomial approximation," International Conference on Reconfigurable Computing and FPGAs (ReConFig), Cancun, Mexico, pp. 1-6, doi: 10.1109/ReConFig.2013.6732291.
7. Korniienko V., Larchenko L., Parkhomenko A., Larchenko A., (2023) "Design Models of Bit-Stream Online-Computers of Elementary Mathematical Functions," 12th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS), Sep. 2023, Dortmund, Germany, pp. 585-589.
8. Ларченко Б.Д., Шкіль О.С., Ларченко Л.В., Філіппенко І.В., Ющенко С.В. (2020) "Апаратний біт-потоківий online обчислювач дробово-раціональних функцій", Радіоелектроніка та інформатика, № 3., С. 55-63..
9. Шкіль О.С., Ларченко Б.Д., Ларченко Л.В., (2019) "Декомпозиція математичної моделі апаратного біт-потоківого обчислювача ірраціональних функцій", Радіоелектроніка та інформатика, №4, С. 46-52.
10. Larchenko L.V., Parkhomenko A.V., Larchenko B.D., Korniienko V.R., (2024) "Design Models of Bit-Stream Online-Computers for Sensor Components," Radio Electronics, Computer Science, Control, vol. 1(68), pp. 48-61, <https://doi.org/10.15588/1607-3274-2024-1-6>.

Received (Надійшла) 14.05.2025

Accepted for publication (Прийнята до друку) 13.08.2025

ВІДОМОСТІ ПРО АВТОРІВ / ABOUT THE AUTHORS

Ларченко Ліна Вікторівна – кандидат технічних наук, доцент, доцент кафедри автоматизації проектування обчислювальної техніки Харківського національного університету радіоелектроніки, Харків, Україна;

Lina Larchenko – PhD, Associate Professor, Associate Professor of Design Automation Department, Kharkiv National University of Radio Electronics, Kharkiv, Ukraine,

e-mail: lina.larchenko@nure.ua; ORCID Author ID: <https://orcid.org/0000-0002-4326-1601>;

Scopus Author ID: <https://www.scopus.com/authid/detail.uri?authorId=57194415994>.

Ларченко Богдан Дмитрович – кандидат технічних наук, асистент кафедри автоматизації проектування обчислювальної техніки Харківського національного університету радіоелектроніки, Харків, Україна;

Bogdan Larchenko – PhD, Assistant of Design Automation Department, Kharkiv National University of Radio Electronics, Kharkiv, Ukraine,

e-mail: bogdan.larchenko@gmail.com; ORCID Author ID: <https://orcid.org/0000-0002-1298-4567>;

Scopus Author ID: <https://www.scopus.com/authid/detail.uri?authorId=57219986279>.

Рожнова Тетяна Григорівна – кандидат технічних наук, доцент, доцент кафедри автоматизації проектування обчислювальної техніки Харківського національного університету радіоелектроніки, Харків, Україна;

Tetiana Rozhnova – PhD, Associate Professor, Associate Professor of Design Automation Department, Kharkiv National University of Radio Electronics, Kharkiv, Ukraine,

e-mail: tetiana.rozhnova@nure.ua, ORCID Author ID: <https://orcid.org/0000-0002-4484-8674>;

Scopus Author ID: <https://www.scopus.com/authid/detail.uri?authorId=35763451400>.

Design models of bit-stream irrational function online-computer

Lina Larchenko, Bogdan Larchenko, Tetiana Rozhnova

Abstract. Topicality. Currently, in distributed real-time control systems it is necessary to ensure continuous reception and processing of information data streams as they arrive. In this case, the current task is to create stream computers that perform functional conversion of signals of sensor components, presented in the form of a pulse stream. **The purpose of this work** is to develop mathematical and automata design models for a bit-stream online-computer of irrational functions with a pulse (bit) data stream. **The object of research** is hardware bit-stream computers of irrational functions, the basis of which is the streaming method of calculations. **The subject of the study** are models and methods for designing bit-stream online-computers of irrational functions. **Results.** An improved mathematical model of a device for calculating irrational functions using the stepwise approximation method based on inverse functions and an automatic model of the computer based on Moore's finite state machine are proposed. **Conclusion.** The use of the proposed design models of a streaming computer allows minimizing the absolute error of calculations and increasing the efficiency of device design through the use of developed HDL templates for describing the computer model.

Keywords: functional transformation, bit stream of data, streaming method of calculations, approximation, mathematical model, automaton model, transition graph, algorithm graph-scheme, FPGA.