

С. Я. Бовчалюк, Б. М. Коломоець, В. С. Коломоець, Я. В. Гаращенко

Харківський національний університет радіоелектроніки, Харків, Україна

## РОЗВИТОК МОДЕЛІ ТА СТРУКТУРИ КЕРУЮЧИХ ПРИСТРОЇВ З ПАРАЛЕЛЬНОЮ АРХІТЕКТУРОЮ

**Анотація. Актуальність.** За останнє десятиліття питанням розвитку і вдосконалення інформаційної технології паралельного логічного керування на базі ПЛІС-контролерів паралельної дії було присвячено не дуже багато уваги. У той же час в останніх дослідженнях було показано, що вдосконалення цієї технології, уведення до її складу нового функціоналу, дозволить значно розширити сфери її застосування не тільки для керування об'єктами критичного застосування, але і для побудови систем керування звичайними промисловими об'єктами. Одним із таких вдосконалень, що значно розширює функціонал ПЛІС-контролерів паралельної дії є уведення внутрішніх таймерів і лічильників. **Метою даної роботи** є вдосконалення математичної моделі і архітектури програмованого логічного контролера паралельної дії і розширення його функціональних можливостей, шляхом уведення до його складу програмованих таймерів. **Висновок.** За результатами проведених досліджень синтезовано структуру вдосконаленого логічного керуючого автомату паралельної дії, у якому додано можливість реалізації програмованих таймерів. Вдосконалено елементи математичної моделі ЛКА ПД, показано яким чином уведення додаткових внутрішніх змінних впливає на реалізацію основних математичних залежностей, що визначають його функціонування. На базі запропонованої структури і елементів математичної моделі з'являється можливість побудови вдосконаленого алгоритму функціонування і HDL-моделі для фізичної реалізації ПЛІС-контролера паралельної дії.

**Ключові слова:** технологія паралельного логічного керування, програмований логічний контролер паралельної дії, ПЛІС-контролер, внутрішній програмований таймер.

### Вступ

В одній з останніх публікацій за напрямком дослідження інформаційної технології паралельного логічного керування, а саме – керуючих архітектур паралельної дії, було визначено пріоритетність уведення до таких структур внутрішніх програмованих користувачем таймерів і лічильників [1]. У той же час ні математичною моделлю, ні HDL-моделлю, ні алгоритмом функціонування ПЛІС-контролерів паралельної дії (ПД) не передбачено можливості реалізації подібного функціоналу [2-4]. До того ж для повноцінної реалізації вказаних функцій необхідна підтримка з боку мови програмування ПЛІС-контролерів ПД – ЯПЛК-М, а це також відкрите питання [5, 6].

До того ж аналіз моделей і структур програмованих керуючих автоматів паралельної дії (ПЛК ПД) свідчить про їх фактичну «негнучкість», «закритість» або, фактично, реалізацію за допомогою концепції «жорсткої логіки».

Тобто, не дивлячись на фізичну реалізацію таких керуючих структур на базі ПЛІС, що за своєю суттю дозволяють створювати гнучкопрограмовані системи, по факту ніяких змін у саму структуру керуючого автомату внести не має можливості [7].

**Метою цієї роботи** є вдосконалення математичної моделі і архітектури програмованого логічного контролера паралельної дії і розширення його функціональних можливостей, шляхом уведення до його складу програмованих таймерів.

### Основна частина

На рис. 1 показано базову структуру сучасного ПЛІС-контролера паралельної дії, що покладено в основу промислових зразків і реалізовано на кристалах ПЛІС компанії Altera [8].

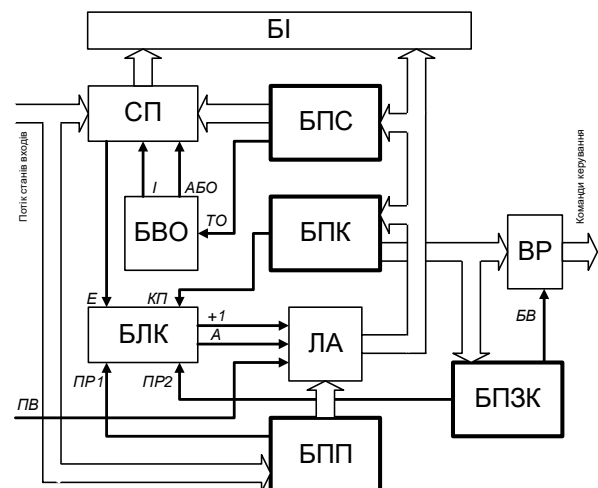


Рис. 1. Структура ПЛІС-контролера паралельної дії

Реалізація базових функцій логічного керування відбувається за рахунок перевірки істинності рівнянь, що записані у блок логічного керування:

$$A = КП \vee ПР1 \vee ПР2; \quad (1)$$

$$+1 = E \wedge \overline{КП} \wedge \overline{ПР1} \wedge \overline{ПР2} \quad (2)$$

де  $КП$  – ознака кінця підпрограми;  $ПР1$  – ознака переривання від БПП;  $ПР2$  – ознака переривання від БПЗК;  $A$  – початкова адреса підпрограми;  $E$  – сигнал еквівалентності;  $+1$  – сигнал переходу до наступного рядка.

Сам керуючий автомат складається із наступних блоків: блоку індикації – БІ; схеми порівняння – СП; блоку вибору операції – БВО; блоку логічного керування – БЛК; лічильника адреси – ЛА; вихідного регістра – ВР; а також блоків пам'яті станів, команд, переходів і заборонених комбінацій – БПС, БПК, БПП, БПЗК. Процес відпрацювання керуючої програми складається з двох етапів або частин:

1) аналіз комбінацій станів датчиків умов переходів (станів зовнішнього середовища) і формування початкової адреси підпрограми;

2) власне відпрацювання обраної підпрограми.

Причому аналіз станів зовнішнього середовища здійснюється паралельно і незалежно від відпрацювання підпрограми.

На показаній структурі за вибір початкової адреси підпрограми відповідає блок пам'яті переходів (БПП), який, у разі появи на його вході однієї із запрограмованих комбінацій, встановлює лічильник адреси у відповідний даній комбінації стан. Таким чином реалізовано виконання рівняння (1), тобто істинною стає рівність  $KП=A$  і БЛК формує сигнал «А» (Адреса), за яким лічильник адреси переадресує БПС і БПК на перший рядок обраної підпрограми. В останньому рядку кожної підпрограми, а також у нульовому рядку програми записується тільки ознака кінця підпрограми «КП», що використовується як дозвіл переходу керуючого автомата до відпрацювання будь-якої із записаних у блоки пам'яті підпрограм.

Власне відпрацювання обраної підпрограми відбувається за рахунок реалізації рівняння (2). Якщо рівність виконується, то БЛК формує сигнал «+1», за яким ЛА адресує БПС і БПК на наступний  $(i+1)$  рядок поточної підпрограми. Умовою формування сигналу «+1» є поява сигналу «Е», який може бути сформований двома способами. Якщо на певному кроці керуючої програми необхідно порівнювати фактичний стан усіх датчиків циклу з їх очікуваними значеннями, то до останнього стовпця  $i$ -го рядка, що записаний до блоку пам'яті станів, записується відповідна ознака і блок вибору операції формує сигнал « $I=I$ ». Цей сигнал перемикає схему порівняння на реалізацію логічної операції «I», тобто сигнал еквівалентності  $E$  на її виході з'явиться лише у разі збігу усіх фактичних станів датчиків циклу з їх очікуваними значеннями, записаними до  $i$ -го рядку БПС. Якщо для переходу на наступний крок підпрограми достатньо спрацювання лише одного датчика, то БВО формує сигнал « $АБО=I$ », що перемикає схему порівняння на реалізацію логічної операції «АБО». Ознаки переривань « $ПР1$ », « $ПР2$ », сигнали « $ПВ$ » і « $БВ$ », не формують базову логіку роботи автомата, але з технічної точки зору є необхідними. Детально про призначення цих сигналів, а також з більш детальним описом роботи ПЛІС-контролера ПД можна ознайомитись в [8].

Таким чином, якщо підходити до реалізації функцій запрограмованих таймерів в керуючих автоматах з паралельною архітектурою, то необхідно визначитись із тим, чи будуть внутрішні змінні таймерів приймати участь в обох рівняннях (1) і (2), або лише в одному з них. Насправді аналіз цього питання показує, що необхідно повноцінно реалізовувати функцію таймерів, як для реалізації переходу на наступний рядок поточної підпрограми, так і для переходу до іншої підпрограми. Але спрацювання таймера може безпосередньо ініціювати перехід на наступний рядок (тобто може ініціювати формування сигналу «+1»), у той час, сформувати адресу пе-

реходу до іншої підпрограми таймер не може (адреса формується тільки через аналіз станів стохастичних входів, тобто станів датчиків зовнішнього середовища). У той же час сигнал від внутрішніх таймерів може приймати участь у формуванні сигналу «КП», або іншого еквівалентного за суттю сигналу, що може бути інтерпретовано як участь внутрішніх таймерів у процесі переходу до іншої підпрограми.

Таким чином необхідно внести зміни до елементів структури ЛКА ПД, що приймають участь у формуванні сигналів «+1» і, наприклад «КП». Пропоновану структуру ПЛІС-контролера ПД у якій реалізовано функції внутрішніх таймерів, показано на рис. 2.

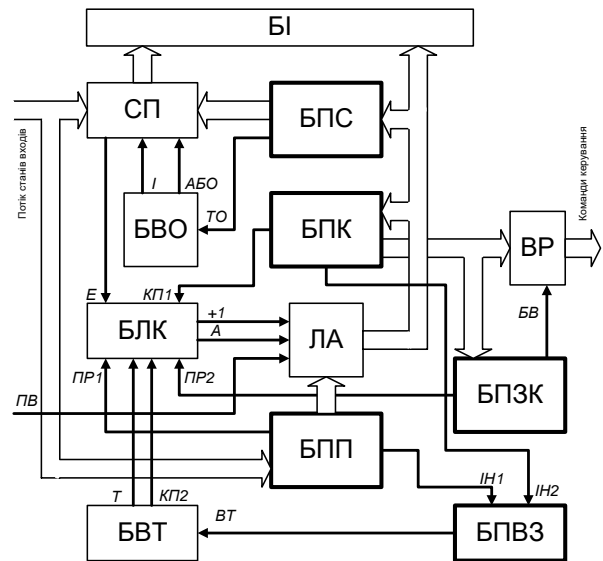


Рис. 2. Структура ПЛІС-контролера ПД з елементами реалізації внутрішніх запрограмованих таймерів

Базовою відмінністю пропонованої структури є наявність ще одного блоку пам'яті – блоку пам'яті внутрішніх змінних (БПВЗ), що призначений для зберігання чисельних значень внутрішніх таймерів. Ще одним додатковим елементом є блок внутрішніх таймерів (БТ), що інтегрує логіку роботи з внутрішніми таймерами до загальної логіки роботи ПЛК ПД. Насправді БТ може бути включено до БЛК, але у такому випадку значно ускладнюється опис загальної роботи ЛКА ПД у цілому.

Розглянемо призначення нових сигналів і блоків, що з'явилися на структурі рис. 2. Сигнали « $ІН1$ » і « $ІН2$ » є сигналами ініціаторами запуску відліку внутрішніх таймерів, значення яких записано в  $i$ -му рядку блоку пам'яті команд (БПК), або блоку пам'яті переходів (БПП). Процедура відліку є паралельною і незалежною від усіх інших процесів, що протікають в ЛКА ПД і реалізується незалежними апаратними засобами кристалу ПЛІС. Тобто виконання процедури відліку проміжку часу внутрішнього таймера ніяк не залежить від внутрішньої логіки роботи ЛКА ПД, що було розглянуто вище. У момент часу, що відає моменту закінчення формування інтервалу відліку таймера БПВЗ формує сигнал « $ВТ$ », що фізично означає, що внутрішній таймер закінчив свою роботу і необхідний проміжок часу сформовано. За значенням сигналу « $ВТ$ » БТ ініціює формування або сигналу « $Т$ », або « $КП2$ » у

залежності від того, який саме блок (БПК, або БПП) був ініціатором формування внутрішнього відліку часу. За значенням сигналу «Т» БЛК формує сигнал «+I», тобто ініціює перехід до наступного  $i+1$ -го рядка поточної підпрограми. Таким чином логіка роботи з внутрішнім таймером відповідає логіці обробки сигналів детермінованих входів, з тою лише різницею, що при роботі з детермінованими входами схема порівняння (СП) очікує появи єдиної «дозволеної» комбінації вхідних сигналів, а при роботі з таймером «єдина дозволена» комбінація сформується «автоматично» через певний (запрограмований) проміжок часу. Отже формування сигналу «+I» відбуватиметься у відповідності до рівняння:

$$+1 = (E \vee T) \wedge \overline{KП1} \wedge \overline{KП2} \wedge \overline{ПР1} \wedge \overline{ПР2} \quad (3)$$

Якщо ініціатором відліку був БПП, то БВТ сформує сигнал «КП2», логіка роботи з яким повністю відповідає логіці роботи з сигналом «КП», якій у розглядаємії структурі отримав нову назву «КПІ». Тобто перехід до іншої підпрограми буде можливий по закінченню сформованого внутрішнім таймером відліку часу, повністю аналогічно до ситуації, коли ознака кінця підпрограми фіксується БПК у звичайних умовах. Формування сигналу «А» в оновленій структурі відповідатиме наступному рівнянню:

$$A = КП1 \vee КП2 \vee ПР1 \vee ПР2 \quad (4)$$

На останок слід зазначити, що для повноцінної реалізації розглянутих функцій необхідно забезпечити підтримку з боку автоматизованої технології програмування TVP, а також внести зміни до синтаксису і семантики мови програмування ЯПЛК-М. Однак цій складовій частині інформаційної технології паралельного логічного керування буде присвячено окреме дослідження.

## Висновки

За результатами проведених досліджень синтезовано структуру вдосконаленого логічного керуючого автомату паралельної дії, у якому додано можливість реалізації програмованих таймерів.

Вдосконалено елементи математичної моделі ЛКА ПД, показано яким чином уведення додаткових внутрішніх змінних впливає на реалізацію основних математичних залежностей, що визначають його функціонування.

На базі запропонованої структури і елементів математичної моделі з'являється можливість побудови вдосконаленого алгоритму функціонування і HDL-моделі для фізичної реалізації ПЛІС-контролера паралельної дії.

## СПИСОК ЛІТЕРАТУРИ

1. Визначення напрямків розвитку керуючих пристроїв з паралельною архітектурою на базі ПЛІС / С. Я. Бовчалюк, О. М. Піскар'юв, С. С. Радченко // Системи управління, навігації та зв'язку.– Полтава: ПНТУ, 2023. – Вип. 1 (71). – С. 69-72.
2. Бовчалюк С. Я. Совершенствование математической модели и архитектуры логических управляющих автоматов параллельного действия / С. Я. Бовчалюк, И. А. Фурман // ИКСЗТ. – 2006. – №3(59). – С. 72–76.
3. Бовчалюк С. Я. Вдосконалення алгоритму функціонування програмованого логічного контролера паралельної дії / С. Я. Бовчалюк, І. О. Фурман // Інформаційно-керуючі системи на залізничному транспорті. – 2007. – №2 (64). – С. 38–42.
4. Бовчалюк С. Я. HDL-модель програмованого логічного керуючого автомата паралельної дії / С. Я. Бовчалюк, І. О. Фурман // Радіоелектронні і комп'ютерні системи. – 2007. – №6 (25). – С. 202–205.
5. Бовчалюк С. Я. Методологія побудови, синтаксис та семантика мови програмування ПЛІС-контролерів паралельної дії / С. Я. Бовчалюк, І. А. Фурман // ИКСЗТ. –2007. – № 4 (66). – С. 38–44.
6. Pya Furman. Development and study of technological visual programming of logic control problems / Pya Furman, Stanislav Bovchaliuk, Alexander Allashev, Aleksey Piskarev // ЕЕЖЕТ. – 2017. – № 6/2 (90). –Р. 23–31.
7. Бовчалюк С. Я. Моделі, методи та засоби інформаційної технології паралельного логічного управління об'єктами залізничної автоматики: дис. ... к. т. н. 05.13.06 / Бовчалюк Станіслав Ярославович. –Харьков, 2008. –203 с.
8. Бовчалюк С. Я. Нова інформаційна технологія логічного управління в енергетиці та на транспорті / С. Я. Бовчалюк // Системи управління, навігації та зв'язку. – К.: ЦНДІ навігації і управління, 2007. – Вип. 3 – С. 47-51.

Received (Надійшла) 06.02.2024

Accepted for publication (Прийнята до друку) 26.04.2024

## Development of model and structure of control devices with parallel architecture

Stanislav Bovchaliuk, Borys Kolomoets, Vladyslav Kolomoets, Yaroslav Garashchenko

**Abstract. Topicality.** Over the past decade, not much attention has been devoted to the development and improvement of information technology of parallel logic control based on parallel FPGA controllers. At the same time, recent studies have shown that the improvement of this technology, the introduction of new functionality into its composition, will allow to significantly expand the scope of its application not only for the control of objects of critical application, but also for the construction of control systems for ordinary industrial objects. One such improvement that greatly expands the functionality of parallel FPGA controllers is the introduction of internal timers and counters. **The purpose of this work** is to improve the mathematical model and architecture of the parallel action programmable logic controller and expand its functionality by introducing programmed timers into its composition. **Conclusion.** According to the results of the conducted research, the structure of an improved logical control automaton of parallel action was synthesized, in which the possibility of implementing programmable timers was added. The elements of the mathematical model of LKA PD have been improved, it has been shown how the introduction of additional internal variables affects the implementation of the main mathematical dependencies that determine its functioning. On the basis of the proposed structure and elements of the mathematical model, it becomes possible to build an improved functioning algorithm and an HDL model for the physical implementation of a FPGA controller of parallel action.

**Keywords:** technology of parallel logic control, programmable logic controller of parallel action, FPGA controller, internal programmable timer.