

С. Ю. Леонов, Б. Р. Кліщов

Національний технічний університет «Харківський політехнічний інститут», Харків, Україна

ДОСЛІДЖЕННЯ ВПЛИВУ ПЕРЕХРЕСНИХ ПЕРЕШКОД НА РОБОТУ ЕЛЕКТРОННОГО ПРИСТРОЮ

Анотація. В даній статті розглянуто вплив перехресних завад на роботу електронного пристрою, проєктування якого необхідно виконати. Проаналізовано причини та механізм виникнення перехресних перешкод, які можуть порушити коректну роботу пристрою через зміну логічного рівня сигналу на провіднику-жертві внаслідок впливу на нього наведеної перехресної перешкоди. Моделювання та дослідження впливу перехресних завад було зроблено в пакеті Allegro Sigrity SI. При аналізі електронного пристрою, підставлялися різні показники частоти. Провідник-жертва досліджувалась при різних логічних рівнях логічних сигналів.

Ключові слова: електронний пристрій, завада, електромагнітна сумісність.

Вступ

Зазвичай, в складному пристрої знаходиться значна кількість різних елементів. Всі ці елементи зв'язані провідниками на платі, які можуть знаходитися досить близько один до одного та впливати на загальну роботу пристрою. Логічний рівень сигналу в провідниках плати може змінитися на протилежний внаслідок впливу перехресних перешкод. Тому, актуальним є питання забезпечення правильності вихідних даних пристрою з урахуванням можливого впливу перехресних завад, що виникають у лінії зв'язку через наявність сигналу у сусідніх лініях передачі [1] та зумовлених електромагнітною сумісністю провідників.

Шуми викликані сигналами, пов'язаними із сигналами в сусідніх провідниках, можуть викликати завади сигналу в мережі жертви. Експертна система Allegro Sigrity SI розраховує шум, викликаний в провіднику S3, зумовлений сусідніми провідниками R2 та R3. Тип провідника S3 передбачає, що він може бути легко пошкоджений зовнішнім шумом. Так само провідники R2 та R3 здатні викликати перешкоди. На рис. 1 продемонстровано типову схему для проблеми перехресних завад.

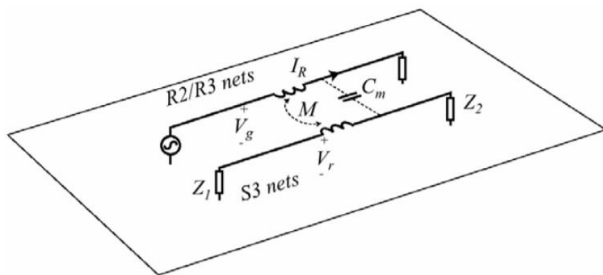


Рис. 1. Типова схема для розрахунку перехресних завад

Шум виникає через два різних механізми зв'язку - ємнісний та індуктивний. Для провідника із слабким зв'язком величина індукованого шуму приблизно може бути розрахована як [2],

$$V_r = \begin{cases} (Z_1 \parallel Z_2) C_m \frac{d}{dt} V_g(t) \text{ якщо ємнісний зв'язок} \\ M \frac{d}{dt} I_R(t) \text{ якщо індуктивний зв'язок} \end{cases} \quad (1)$$

Значення взаємної ємності, C_m та взаємної індуктивності M , між двома доріжками обчислюються «Алгоритмом взаємної індуктивності та ємності» [3]. Основні процедури обчислення перехресних завад аналогічні процедурам алгоритму зв'язку вводу / виводу [4]. При цьому в алгоритмі розрізняють два види входів:

а) X сигнальні - за якими подається інформація, яка підлягає обробці;

б) T настроювальні - визначаючі параметри настройки алгоритмів.

Але перехресні завади обчислюються у часовій та частотній областях, тоді як алгоритм зв'язку вводу / виводу виконує лише обчислення частотної області. Якщо сигнал аналоговий, то алгоритм передбачає, що сила зв'язку між двома провідниками збільшується лінійно з частотою і досягає свого максимального значення, коли загальна сумісна довжина становлять чверть довжини хвилі сигналу. Величина напруги шуму обчислюється в частотній області і апроксимується, як показано нижче.

Якщо загальна довжина мережі S3 менше чверті довжини хвилі сигналу, тобто

$$\left(L_{S3} < \frac{\lambda}{4} = \frac{3 \cdot 10^8}{\sqrt{\epsilon_{eff}} \cdot f \cdot 4} \text{ або } f < \frac{3 \cdot 10^8}{4 \cdot L_{S3} \cdot \sqrt{\epsilon_{eff}}} \right), \text{ то}$$

$$V_r = \begin{cases} 2\pi f \cdot V_g \cdot C_m \cdot 100 \cdot I_{eq} \text{ для ємнісного зв'язку} \\ 2\pi f \cdot I_{max} \cdot M \cdot I_{eq} \text{ для індуктивного зв'язку} \end{cases} \quad (2)$$

Якщо загальна довжина мережі S3 перевищує чверть довжини хвилі сигналу, тобто $(L_{S3} \geq \frac{\lambda}{4} = \frac{3 \cdot 10^8}{\sqrt{\epsilon_{eff}} \cdot f \cdot 4} \text{ або } f \geq \frac{3 \cdot 10^8}{4 \cdot L_{S3} \cdot \sqrt{\epsilon_{eff}})$, то зв'язок обчислюється на частоті довжини чверті хвилі,

$$V_r = \begin{cases} \frac{4.71 \cdot 10^{10} \cdot C_m \cdot 100 \cdot I_{eq} \cdot V_g}{L_{S3} \cdot \sqrt{\epsilon_{eff}}} \text{ для ємнісного зв'язку} \\ \frac{4.71 \cdot 10^8 \cdot M \cdot I_{eq} \cdot I_{max}}{L_{S3} \cdot \sqrt{\epsilon_{eff}}} \text{ для індуктивного зв'язку} \end{cases} \quad (3)$$

де L_{S3} - загальна довжина провідника S3, а ϵ_{eff} - ефективна відносна проникність ізоляції. Число 100 в чисельнику ємнісного рівняння зв'язку є імпедансом мережі жертви за замовчуванням.

Якщо сигнал цифровий, максимальна напруга завади обчислюється у часовій області як,

$$V_r = \begin{cases} [V_{\max} - V_{\min}] * C_m * 100 * I_{eq} / \tau \text{ для емкісного} \\ I_{\max} * M * I_{equiv} / \tau \text{ для індуктивного зв'язку} \end{cases} \quad (4)$$

де τ - тривалість сигналу. Інші параметри обчислюються таким же чином, як і вище. Перехресні завади ігноруються, якщо два сегменти розділені провідниками площинами.

Мета статті. Провести моделювання та аналіз роботи електронного пристрою під впливом перехресних завад у зв'язку з можливістю зміни логічного стану на протилежний в окремих провідниках приладу.

Наукова новизна одержаних результатів полягає в застосуванні системи ORCAD для дослідження та аналізу роботи мікросхеми з урахуванням електромагнітної сумісності з можливістю зміни

логічного стану в провідниках в результаті дії перехресних завад.

Основна частина

Такі фактори як товщина, ширина, відстань між провідниками та їх кількість можуть викликати спотворення сигналу на провіднику-жертві.

Спочатку була побудована структурна схема пристрою в системі автоматизованого проектування ORCAD. На входи пристрою подаються чотири сигнали, які інвертуються та йдуть на вхід JK-тригеру. Виходи тригеру об'єднуються через логічний елемент «І» та подаються на вихід схеми.

Далі було отримано його часові діаграми, створено анотацію та запущено перевірку правил. Після цього було виконано трасування створеної плати в Allegro PCB. Схему та плату можна побачити на рис. 2.

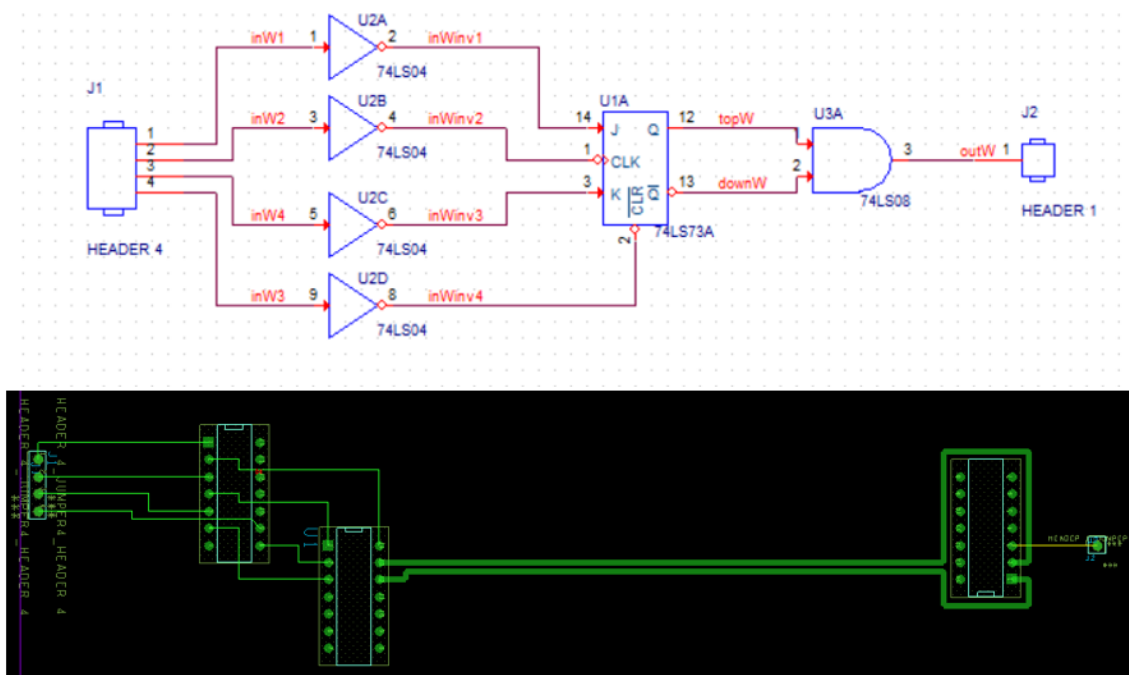


Рис. 2. Схема та плата пристрою

Чотири інвертори схеми були об'єднані в один елемент плати, тому що вони виконують аналогічну функцію. Дана плата розроблена для демонстрації впливу перехресних завад в окремих провідниках на роботу електронного пристрою. Елемент U3, розміщений на платі таким чином, щоб між ним та елементом U1 можна було розмістити два відносно довгих провідника досить близько один до одного. Це важливо, адже довжина теж впливає на величину перехресної перешкоди.

Досліджуваними провідниками було обрано провідника з іменами topW та downW. Їх товщина становить 1 мм, довжина ділянки, на якій вони паралельні - 80.01мм. Провідник topW являється жертвою, а downW – агресором. Поведінку провідників під впливом перехресних перешкод було промодельовано в пакеті Allegro Sigrity SI. Спочатку для topW був встановлений логічний рівень сигналу

Quiet Lo, а для downW – задано послідовність сигналів 1000 0110 з частотою 100 MHz. Результати роботи можна побачити на рис 3.

Як видно з рис. 3, провідник topW, тобто жертва, має спотворення в сигналі, коли провідник-агресор змінює свій логічний стан на протилежний. В даному випадку це незначні спотворення, але варто пам'ятати, що було промодельовано лише вплив одного провідника на другий. В звичайних обставинах на провідник можуть впливати десятки та сотні інших провідників, що може збільшити спотворення сигналу настільки, що логічний стан провідника зміниться на протилежний. Це вплине на правильність отримуваних вихідних даних електронного пристрою, навіть, іноді, може привести до збою в роботі приладу та вивести його зі строю. Далі, було змінено логічний стан жертви на Quiet Hi та промодельовано. На рис. 4 показано результати моделювання.

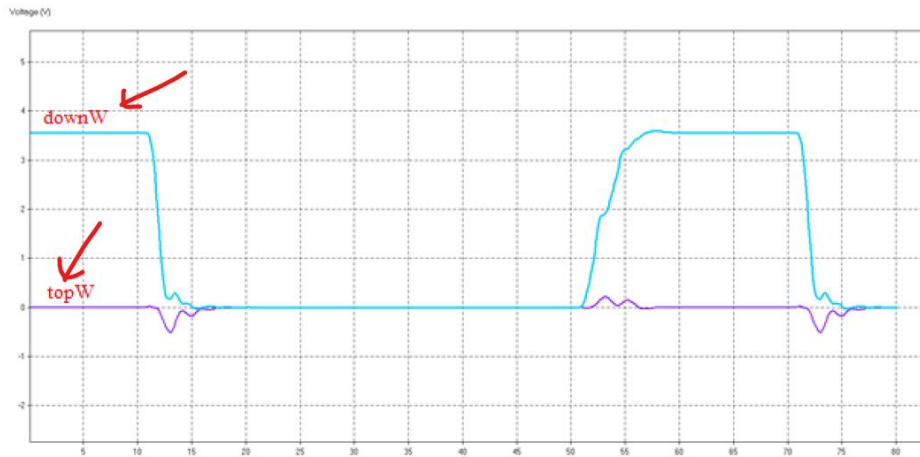


Рис. 3. Часова діаграма впливу перехресних завад на провідник-жертву

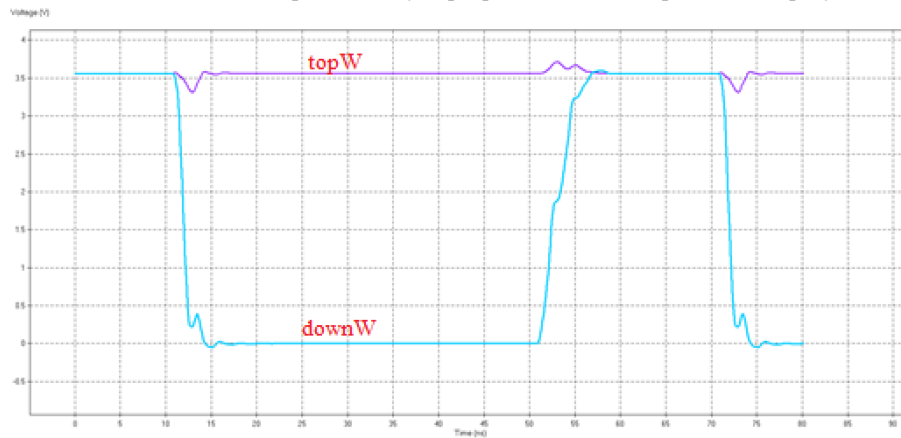


Рис. 4. Вплив провідника агресора на провідник-жертву з логічним станом Quiet Hi

З рис. 4 видно, що провідник-жертва також спотворюється в сигналі, навіть якщо її початковий стан Quiet Hi.

Після цього, було перевірено вплив частоти зміни сигналу на провіднику-агресорі на перехресні перешкоди. Для цього на провідник downW подано чергу логічних сигналів "1", "0", "0", "0", "0", "1", "1", "0" з частотою 1000 МГц, на провідник topW – сигнал низького рівня Quiet Lo. Результати наведені на рис. 5.

З рис. 5 видно, що показники максимальних перехресних завад майже не змінилися, але сигнал

став ще більше спотворений, що доводить вплив частоти на перехресні завади.

Як і з частотою 100 МГц, протестовано роботу провідників при topW при високому рівні сигналу (рис. 6). З рис. 6. видно, що він по числовим значенням не відрізняється від результатів роботи при 100МГц та topW – Quiet Hi, але, як і попередній схемі, сигнали більш спотворені.

Використовуючи отримані результати, для зручного порівняння показників перехресних завад було створено таблицю з числовими показниками перехресних перешкод (табл. 1).

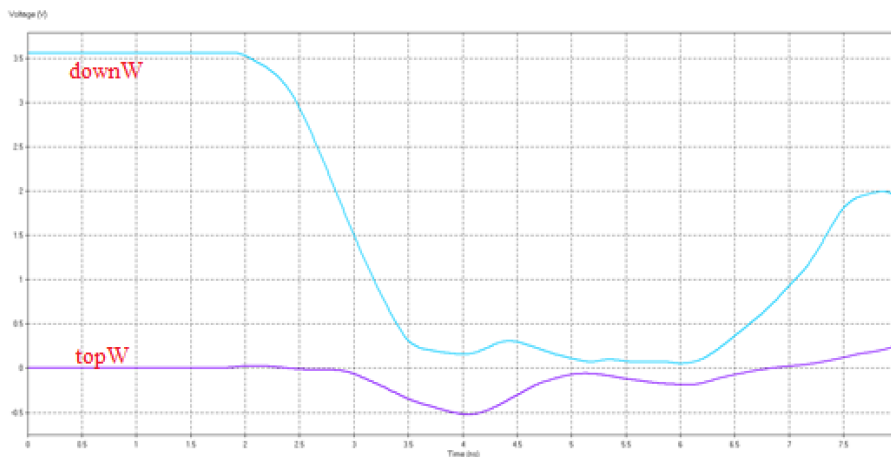


Рис. 5. Вплив зміни частоти на перехресні завади

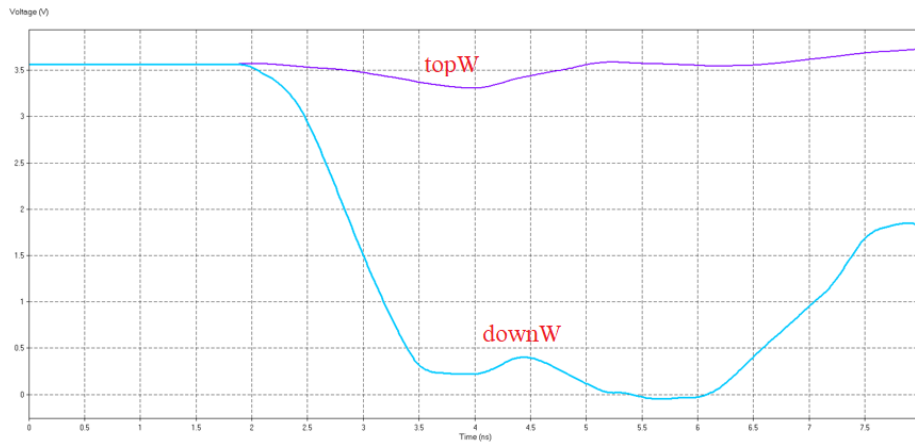


Рис. 6. Вплив логічного стану провідника жертви на перехресні завади при 1000 МГц

Таблиця 1 – Числові значення перехресних завад

	Quiet Lo	Quiet Hi
100 МГц	217.218 мВ	247.12 мВ
1000 МГц	258.866 мВ	254.21 мВ

Порівнюючи числові значення перехресних завад, визначено, що рівень логічного стану провідника-жертви збільшує перехресні перешкоди при високому рівні сигналу та частоті роботи пристрою 100 МГц, але зменшує при високому рівні сигналу та 1000 МГц.

Варто зазначити, що дослідження проводилося на елементах серії CMOS, яка найменш вразлива до збоїв, через її досить високий рівень логічної одиниці.

Як видно з попередніх рисунків та табл. 1, перехресні перешкоди можуть значно вплинути на роботу схеми. Тому, дуже важливо та актуально досліджувати електромагнітну взаємодію в різних областях.

Дослідження причин виникнення перешкод між провідниками на платі електронного пристрою

дозволяє знайти помилки при забезпеченні електромагнітної сумісності пристрою на стадії його проектування і побудови [5, 6].

Обговорення результатів

В ході дослідження було виконано моделювання та аналіз впливу частоти та логічного стану на числові значення перехресних перешкод. При низькому рівні сигналу на одному з провідників, перехресні перешкоди збільшуються при збільшенні частоти зміни сигналу на провіднику агресорі, при Quiet Hi, ці зміни менш помітні та менш значні, але перехресні перешкоди теж збільшуються при збільшенні частоти.

Висновки

Таким чином, в ході даного дослідження, за допомогою системи автоматизованого проектування ORCAD та пакету Sigriy, було встановлено вплив зміни частоти сигналу на провіднику-агресорі та логічного стану на провіднику-жертві на величину перехресної перешкоди. Отримано числові значення перехресних перешкод в провідниках з різною частотою та різним логічним станом.

СПИСОК ЛІТЕРАТУРИ

1. Мінімізація перехресних зв'язків у електропроводці та кабельних мережах, Р. Дж. Мор, 2007
2. К. Пол, Вступ до електромагнітної сумісності, Нью-Йорк, 1992.
3. Підсумок взаємної індуктивності та ємності
4. Підсумок алгоритму зв'язку введення / виводу.
5. Савельєв А.Й. Дизайн комп'ютерів і систем, Москва: Вища школа, 1984. - 284 с.
6. Фей Дай, Ян Лю. Теорія та методи проектування кількісних оцінок щодо електромагнітної сумісності на рівні системи, 2019.

Received (Надійшла) 15.09.2021

Accepted for publication (Прийнята до друку) 27.10.2021

Investigation of the effect of cross-barriers for the operation of the electronic device

S. Leonov, B. Klishchov

Abstract. This article discusses the effect of cross-noise on the operation of an electronic device. The causes and mechanism of cross-interference, which can disrupt the correct operation of the device due to a change in the logic level of the signal on the victim conductor, due to the impact of the above cross-interference, were analyzed. Modeling and study of the effect of cross-noise was done in the Allegro Sigriy SI package. When analyzing the electronic device, various frequency indicators were substituted. The victim conductor was examined at different logic signal levels.

Keywords: electronic device, noise, electromagnetic compatibility.