

В. О. Пуйденко¹, В. С. Харченко²¹ Харківський радіотехнічний коледж, Харків, Україна² Національний аерокосмічний університет ім. М. Є. Жуковського «ХАІ», Харків, Україна

АВТОМАТНІ МОДЕЛІ ТА СИНТЕЗ ЗАСОБІВ КОНТРОЛЮ АПАРАТНОЇ РЕАЛІЗАЦІЇ АЛГОРИТМІВ ЗАМІЩЕННЯ КЕШ-ПАМ'ЯТІ

Анотація. Синтез автоматних моделей політик заміщення алгоритмів pseudo – LRU, адаптивного ARC та MRU показує, що неодмінною компонентою моделі є вихідна комбінаційна логіка селекції елементів блоку даних кеш-пам'яті за напрямками q . Ця компонента побудована на підставі логічних рівнянь структурного синтезу, які описують логіку роботи дешифратора. Відомо, що типова комбінаційна логіка дешифратора перетворює двійковий код в унітарний код і це є умова його безпомилкової роботи. Таким чином, умовами помилкової роботи стануть вихідні двійкові комбінації, які відрізняються від комбінацій унітарного коду. В статті реалізовані два варіанти синтезу засобів контролю логіки роботи дешифраторів. Перший варіант ґрунтується на автоматній моделі апаратури контролю без елементів пам'яті з подальшим синтезом отримання мінімальних нормальних форм перемикальної функції, яка описує логіку функціонування комбінаційної схеми базису «і-ні». Другий варіант ґрунтується на автоматній моделі апаратури контролю з елементами пам'яті з ідеєю підрахунку логічних одиниць на виходах комбінаційної логіки селекції q - напрямків. Для цього в структуру автоматної моделі включені такі елементи пам'яті, як синхронний регістр зсуву та синхронний двійковий лічильник з додатковою логікою керування входом інкременту. В якості компоненти порівняння з константним значенням логічної одиниці виступає двійковий компаратор з вихідним результатом функції порівняння для визначення наявності або відсутності помилки. Також, додатково, в статті наведений розрахунок таких параметрів технічної діагностики, як достовірність контролю, достовірність функціонування, приріст достовірності функціонування та коефіцієнт ефективності контролю і діагностування.

Ключові слова: політика заміщення, адаптивний алгоритм, автоматна модель, комбінаційна логіка, елементи пам'яті, складність і надмірність засобів контролю і діагностування, достовірність контролю і діагностики, приріст достовірності функціонування, коефіцієнт ефективності контролю і діагностування.

Вступ

Неодмінною складовою ефективності алгоритмів політик заміщення достовірних елементів є певні апаратні рішення цих алгоритмів з урахуванням таких характеристик як швидкодія, складність реалізації та надійність. Разом з цим виникає необхідність забезпечення контролю достовірності функціонування синтезованих схем з такими одиничними показниками ефективності, як повнота контролю, вірогідність контролю, ймовірності помилок 1-3 роду, глибина діагностування, оперативність, безвідмовність, складність і, відповідно, комплексними, такими, як достовірність функціонування, коефіцієнт надмірності та коефіцієнт ефективності. Такий ретельний підхід до розробки електронних компонент комп'ютерних систем є запорукою надійності та безпечності комп'ютерних систем в цілому.

В публікаціях [2],[3],[4] присвячених дослідженню варіантів апаратної реалізації алгоритмів заміщення наведені функціональні схеми апаратних реалізацій алгоритмів, але разом з тим відсутні такі їх характеристики, як швидкодія, складність реалізації та надійність. З іншого боку, у публікації, пов'язаної з розробленням засобів контролю [5] приділена увага формуванню оптимального набору тестів та скороченню час тестування кеш – пам'яті, але не приділяється увага засобам контролю апаратної реалізації алгоритмів заміщення, яка є невід'ємною частиною кеш – пам'яті.

Формулювання цілей та задач. Для більш ґрунтового аналізу надійності та безпечності задача синтезу засобів апаратного контролю має бути вирішена з урахуванням двох автоматних моделей:

моделі з елементами пам'яті та моделі без елементів пам'яті. Цей метод мусить дати альтернативу розробникам засобів апаратного контролю помилок апаратних реалізацій алгоритмів політик заміщення, особливо зі значною кількістю q - напрямків при проектуванні апаратних реалізацій алгоритмів заміщення асоціативних кеш-пам'ятей та кеш-буферів сторінкового перетворення.

Мета цієї статті полягає в оцінюванні достовірності функціонування об'єкту контролю з засобом контролю з подальшим дослідженням динаміки приросту достовірності функціонування та коефіцієнту ефективності контролю і діагностики синтезованих більш складних і більш простих апаратних рішень.

Автоматна модель апаратного контролю з елементами пам'яті

В автоматній моделі апаратного контролю з елементами пам'яті (рис. 1) закладена ідея з алгоритмом підрахунку одиниць на виходах дешифратора q -напрямків (рис. 2). Дискретна математична модель дешифратора представлена формулою (1). В моделі також присутні елементи пам'яті: регістр зсуву і двійковий лічильник, які описуються відповідними дискретними математичними моделями (2),(4).

$$Y_i = \lambda_i(\bar{X}) = \prod_{p=0}^{k-1} x_p^{e_p}, \quad (1)$$

$$\text{де } \bar{X} = (x_{k-1}, \dots, x_0), x_p = 1, e_p \in \{0, 1\}, \\ i \in \{0..(2^k - 1)\}.$$

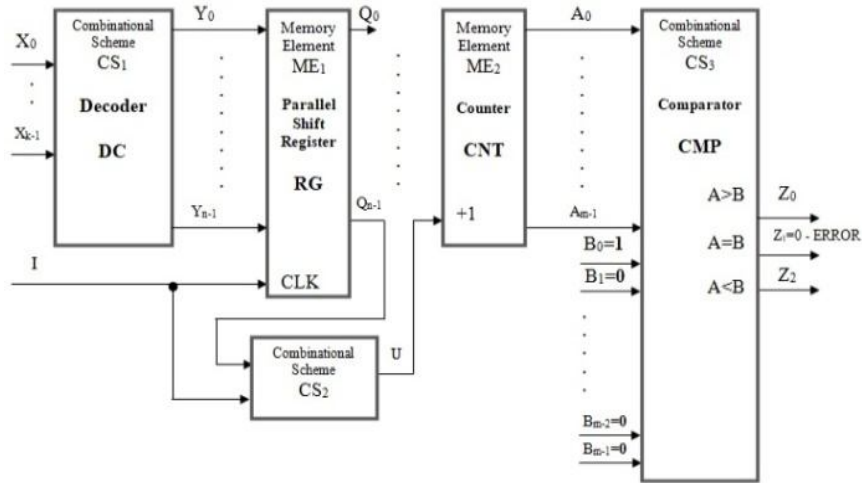


Рис. 1. Автоматна модель апаратного контролю помилок з елементами пам'яті
 $Q_0 = Y_0, Q_i = Q_{i-1}$, (2)

де $i \in \{1..(n-1)\}$.

Автоматна модель містить комбінаційну схему CS₂ формування імпульсу високого рівня інкременту, яка описується перемикальною функцією (3):

$$U = \varphi(I, Q_{i-1}) = I \& Q_{i-1},$$

де $U \in \{0,1\}$.

$$\bar{A}^+ = \psi(\bar{D}, U, \bar{A}) = \bar{D} \& UV \bar{A} \& \bar{U}, \quad (4)$$

де $\bar{A}^+, \bar{A}, \bar{D} \in \{0..(2^m - 1)\}$;

$$U \in \{0,1\}, \forall U = 1, \exists \bar{A}^+ = \bar{D}.$$

Дискретна математична модель компаратора, який представлений комбінаційною схемою CS₃, описується формулами (5),(6,(7)):

$$Z_0 = \mu(\bar{A} > \bar{B}) = \begin{cases} 0, & \bar{A} \leq \bar{B} \\ 1, & \bar{A} > \bar{B} \end{cases}; \quad (5)$$

$$Z_1 = \mu(\bar{A} = \bar{B}) = \begin{cases} 0, & \bar{A} \neq \bar{B} \\ 1, & \bar{A} = \bar{B} \end{cases}; \quad (6)$$

$$Z_2 = \mu(\bar{A} < \bar{B}) = \begin{cases} 0, & \bar{A} \geq \bar{B} \\ 1, & \bar{A} < \bar{B} \end{cases}; \quad (7)$$

де $\bar{B} = (1, 0, 0, \dots, 0)$;

$$ERROR = \mu(\bar{A} = \bar{B}) = Z_1 = 0.$$

Автоматна модель апаратного контролю без елементів пам'яті

В автоматній моделі апаратного контролю без елементів пам'яті (рис. 3) використовується метод класичного синтезу (табл. 1) мінімізації перемикальної функції (8), яка описує логіку роботи комбінаційної схеми CS₂ виявлення помилок на виходах комбінаційної схеми CS₁ автоматної моделі.

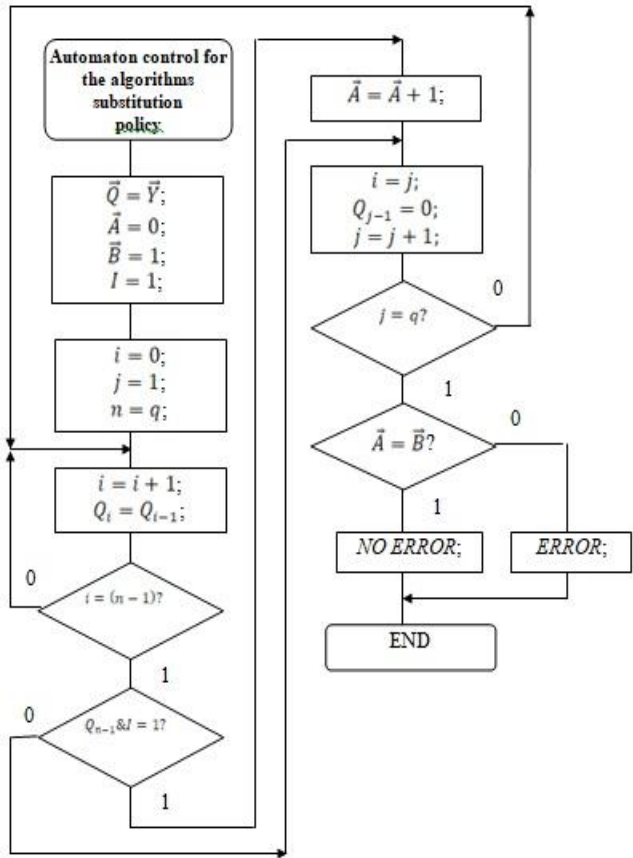


Рис. 2. Алгоритм роботи автоматної моделі апаратного контролю з елементами пам'яті

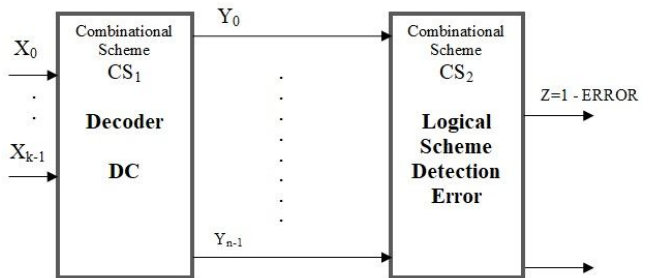


Рис. 3. Автоматна модель апаратного контролю без елементів пам'яті

$$Z = \mu(\bar{X}), \quad (8)$$

Синтез апаратури контролю без елементів пам'яті (q=4)

Вміст табл. 1 відтворює всі помилкові та непомилкові комбінації, які можуть з'явитися на виходах комбінаційної схеми CS₁ автоматної моделі (рис. 3).

Перенесемо вміст таблиці 1 у відповідну карту Карно (рис. 4.)

Знайдені контури на карті Карно дадуть наступну мінімальну нормальну форму запису перемикальної функції E у базисі «і-ні» (9):

$$E = \overline{Y_3} \overline{Y_2} \overline{Y_1} \overline{Y_0} \& \overline{Y_1} \overline{Y_2} \overline{Y_3} \overline{Y_0} \& \overline{Y_2} \overline{Y_1} \overline{Y_3} \& \overline{Y_2} \overline{Y_1} \quad (9)$$

Отримана мінімальна нормальна форма запису перемикальної функції E у базисі «і-ні» описує логіку роботи апаратного рішення контролю помилок (рис. 5):

Таблиця 1 – Помилкові та непомилкові комбінації на виходах комбінаційної схеми CS₁

Y ₃	Y ₂	Y ₁	Y ₀	E
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

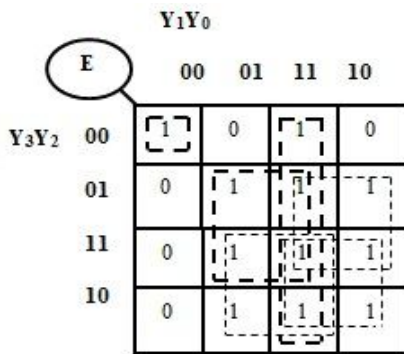


Рис. 4. Карта Карно з відповідними знайденими контурами

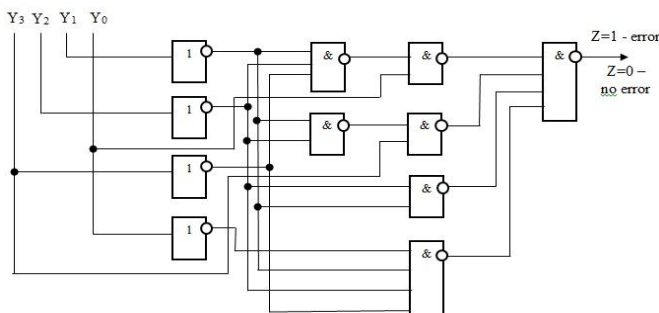


Рис. 5. Апаратне рішення контролю (q=4)

Апаратне рішення на рис. 5 дає можливість створити відповідну комп'ютерну модель

Синтез апаратури контролю без елементів пам'яті (q=8)

Вміст карти Карно (рис. 6.) відтворює всі помилкові та непомилкові комбінації на виходах комбінаційної схеми CS₁ автоматної моделі (рис. 3).

E	Y ₃ Y ₂ Y ₁ Y ₀															
	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101	1111	1110	1010	1011	1001	1000
0000	1	0	1	0	1	1	1	0	1	1	1	1	1	1	1	0
0001	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0011	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0010	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0110	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0111	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0101	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0100	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1100	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1101	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1110	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1010	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1011	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1001	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1000	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Рис. 6. Карта Карно

Знайдені контури на карті Карно дадуть наступну мінімальну нормальну форму запису перемикальної функції E у базисі «і-ні» доповнену логічною операцією нерівнозначності (10), яка описує логіку роботи апаратного рішення (рис. 7.):

$$E = \overline{Y_7} \overline{Y_6} \overline{Y_5} \overline{Y_4} \& \overline{Y_3} \overline{Y_2} \& (Y_1 \oplus Y_0) \& \overline{Y_1} \overline{Y_0} \& (Y_3 \oplus Y_2) \& \overline{Y_3} \overline{Y_2} \overline{Y_1} \overline{Y_0} \& \overline{Y_7} \overline{Y_6} \& (Y_5 \oplus Y_4) \& \overline{Y_5} \overline{Y_4} \& (Y_7 \oplus Y_6) \quad (10)$$

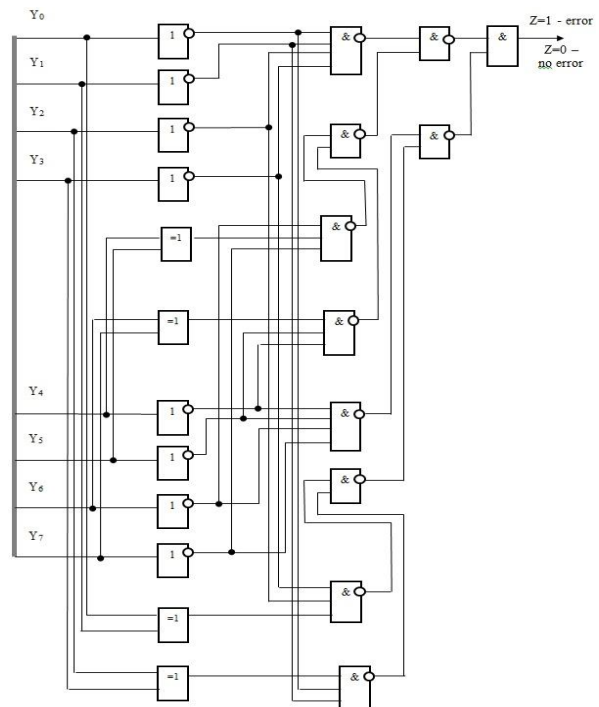


Рис. 7. Апаратне рішення контролю (q=8)

Апаратне рішення на рис. 7 дає можливість створити відповідну комп'ютерну модель результатами її коректної роботи фіксації помилок.

Синтез апаратури контролю з елементами пам'яті (q=4, q=8, q=63)

На підставі автоматної моделі апаратного контролю з елементами пам'яті (рис. 1) збудуємо функціональну схему апаратури контролю має бути вирішена на виході комбінаційної схеми CS₁ (рис. 8).

Функціональна схема апаратного рішення контролю (рис. 8) дає можливість створити відповідну комп'ютерну модель з результатами її коректної роботи фіксації помилок (q=4, q=8, q=63).

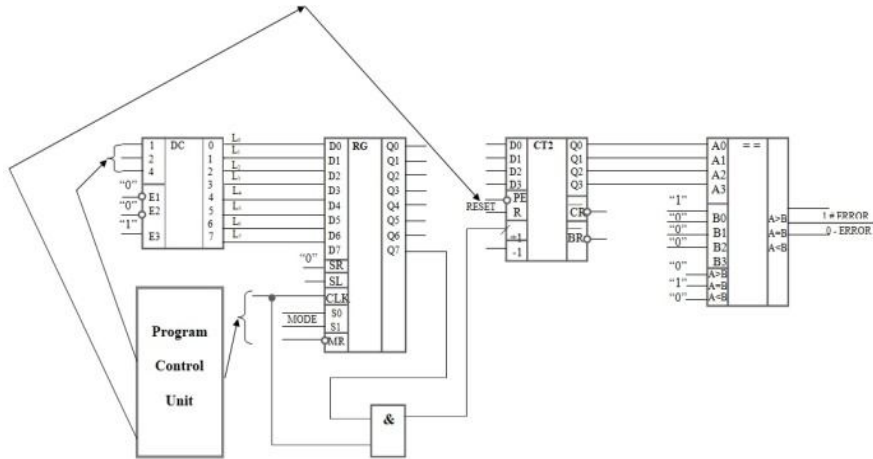


Рис. 8. Функціональна схема апаратного рішення контролю помилок (q=8)

Складність і надмірність засобів контролю і діагностування оцінюється коефіцієнтом надмірності:

$$K_H = (C_{окд} + C_{зкд}) / C_{окд} , \quad (12)$$

де $C_{окд}$, $C_{зкд}$ – складності об'єкту контролю і засобу контролю відповідно, а достовірність контролю діагностування визначається за трьома чинниками:

$$D_k(t) = L \cdot P_{обн} \cdot P_{зк}(t) , \quad (13)$$

де $P_{обн}$ - ймовірність виявлення відмови, t – час (години); $P_{зк}(t)$ - ймовірність безвідмовної роботи засобів контролю.

Приріст достовірності функціонування є таким:

$$\Delta D_\phi = P(t) P_{зк}(t) + (1 - P(t)) D_k(t) - P(t) , \quad (14)$$

де $P(t)$ - ймовірність безвідмовної роботи об'єкту контролю, а коефіцієнт ефективності контролю і діагностування визначається як

$$K_E = \Delta D_\phi / K_H , \quad (15)$$

Дослідження достовірності контролю і функціонування

На рис. 9-13 представлені діаграми динаміки приросту достовірності функціонування та коефіцієнту ефективності контролю і діагностики апаратур алгоритмів політик заміщення. Вище зазначені па-

Показники достовірності контролю та функціонування

Повнота контролю L є одним з основних показників, який визначає степінь охоплення комп'ютерної системи засобами контролю і діагностування:

$$L = Q_k / Q , \quad (11)$$

де Q_k – ймовірність відмови тієї частини комп'ютерної системи, стан якої може бути розпізнано на підставі оцінюваних параметрів і характеристик; Q – ймовірність відмови тієї частини комп'ютерної системи, стан якої може бути розпізнано на підставі оцінюваних параметрів і характеристик.

параметри розраховані на підставі виразів (11-15). Складність і надмірність засобів контролю і діагностування оцінюється коефіцієнтом надмірності, який визначається відношенням (11) на підставі показників складності за загальною кількістю полюсів об'єкту контролю та засобу контролю. Приріст достовірності функціонування та коефіцієнт ефективності контролю і діагностування обчислюються за загальною кількістю вентилів об'єкту контролю та засобу контролю, а також з урахуванням ймовірності у 10^{-7} відмови одного вентиля та 100,1000,10000,100000 годин напрацювання на відмову відповідно.

Висновки

Для більш ґрунтовного аналізу надійності та безпечності поставлена задача синтезу була вирішена з урахуванням двох автоматних моделей: моделі з елементами пам'яті та моделі без елементів пам'яті з подальшою розробкою схем засобів контролю.

Досліджено залежність приросту достовірності функціонування від часу напрацювання на відмову та залежність коефіцієнту ефективності контролю від приросту достовірності функціонування.

На підставі досліджень можна зробити висновки, що:

- при зростанні кількості годин напрацювання на відмову збільшується приріст достовірності функціонування та коефіцієнту ефективності контролю і діагностування відповідно;

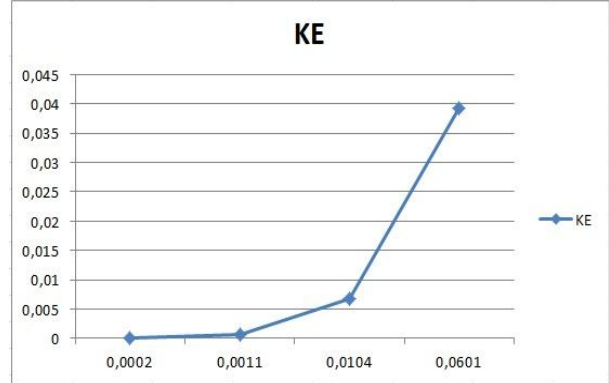
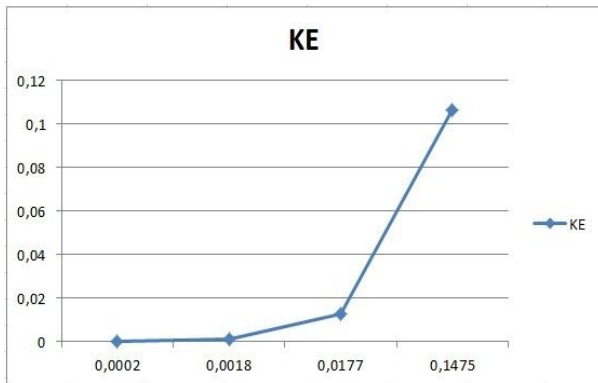
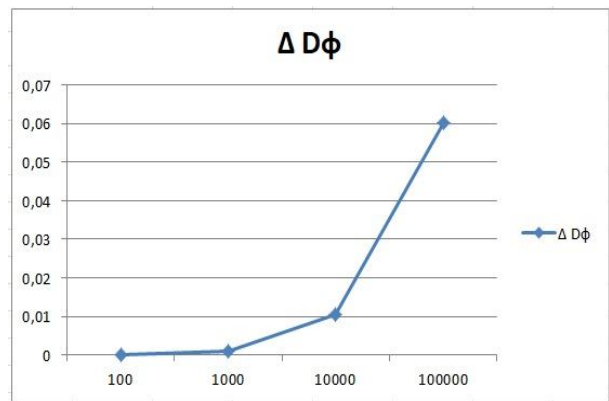
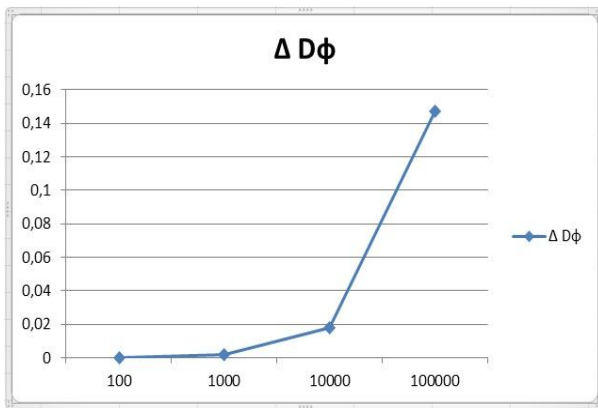


Рис. 9. Динаміка приросту достовірності функціонування та коефіцієнту ефективності контролю і діагностики апаратури PLRU зі схемою контролю без елементів пам'яті (q=4)

Рис. 11. Динаміка приросту достовірності функціонування та коефіцієнту ефективності контролю і діагностики апаратури PLRU зі схемою контролю з елементами пам'яті (q=8)

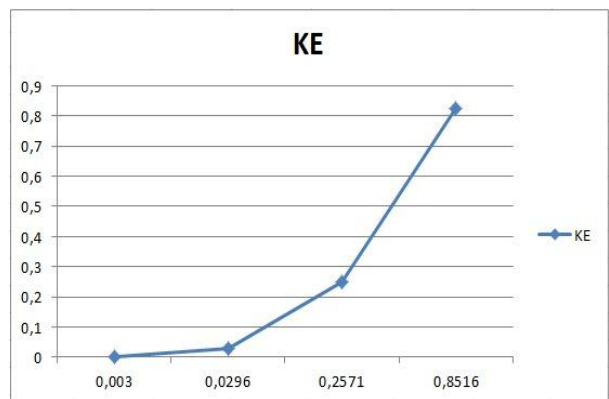
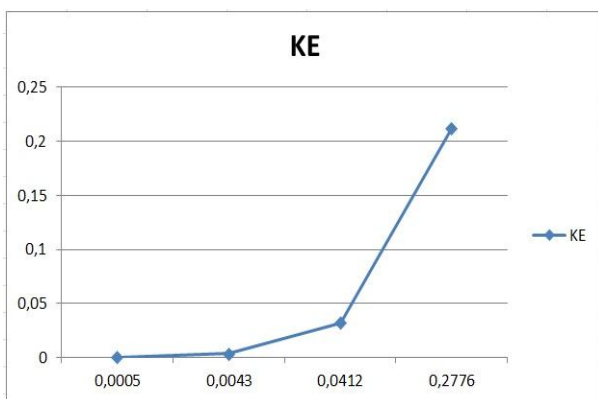
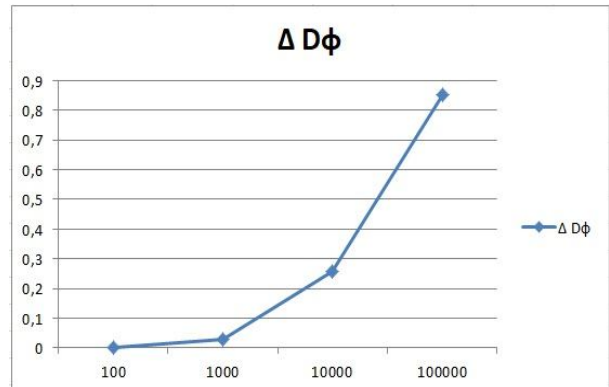
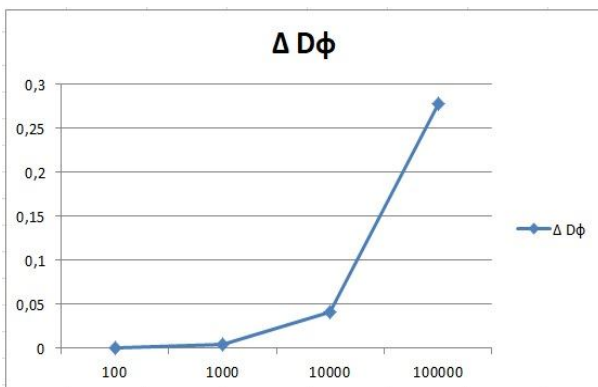


Рис. 10. Динаміка приросту достовірності функціонування та коефіцієнту ефективності контролю і діагностики апаратури PLRU зі схемою контролю без елементів пам'яті (q=8)

Рис. 12. Динаміка приросту достовірності функціонування та коефіцієнту ефективності контролю і діагностики апаратів ARC та MRU зі схемою контролю без елементів пам'яті (q=4)

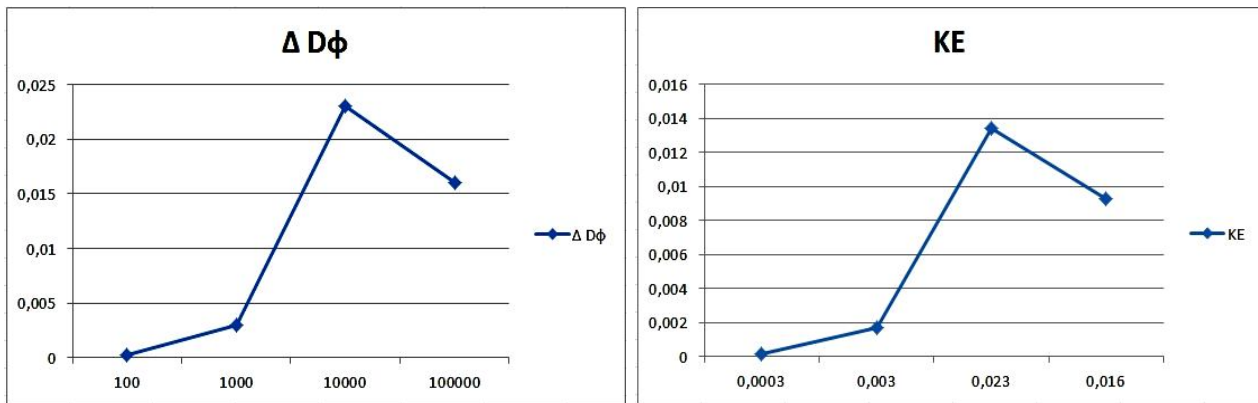


Рис. 13. Динаміка приросту достовірності функціонування та коефіцієнту ефективності контролю і діагностики апаратур ARC та MRU зі схемою контролю з елементами пам'яті ($q=63$)

- з плином часу безвідмовність об'єкту контролю та засобу контролю спадає, але безвідмовність засобу контролю спадає повільніше, ніж безвідмов-

ність об'єкту контролю з подальшим вирівнюванням спадання; вибір схем контролю залежить від часу експлуатації.

СПИСОК ЛІТЕРАТУРИ

1. Vadim Puidenko, Vyacheslav Kharchenko "The Pseudo LRU Hardware Complexity Decreasing for Associative Cache Memory and Translation Look-a-Side Buffer", CERes Journal, Volume 6, Issue 1, 2020
2. Safaa S. Omran, Ibrahim A. Amory, "Implementation of LRU Replacement Policy for Reconfigurable Cache Memory Using FPGA", 2018 International Conference on Advanced Science and Engineering, Kurdistan Region, Iraq, November, 12-14, pp.13-18.
3. T.S.B. Sudarshan, Rahil Abbas Mir, S.Vijayalakshmi, "Highly Efficient LRU Implementations for High Associativity Cache Memory". Birla Institute of Technology and Science, Pilani, Rajasthan 330331 INDIA, 2017.
4. Jaafar Alghazo, Adil Akaaboune, Nazeih Botros, "Cache Replacement Algorithm Records". 2004 International Workshop on Memory Technology, Design and Testing, Illinois, USA, August, pp.19-24.
5. Zaid Al-Ars, Member, IEEE, Said Hamdioui, Member, IEEE, Georgi Gaydadjiev, Member, IEEE, and Stamatis Vassiliadis, Fellow, IEEE Test Set Development for Cache Memory in Modern Microprocessors IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, VOL. 16, NO. 6, JUNE 2008
6. Д.В. Гутенко "Об одном подходе к синтезу схем контроля дешифраторов". Сумский государственный университет, г. Сумы Вісник СумДУ. Серія "Технічні науки", №3' 2011
7. Угрюмов Е. П. Цифровая схемотехника. – Санкт Петербург: БХВ-Петербург, 2010. -С. 816.
8. Согомоян Е. С. Самопроверяемые устройства и отказоустойчивые системы /Е. С. Согомоян, Е. В. Слабаков. – Москва: Радио и связь, 1989. – 208 с

Received (Надійшла) 19.10.2020

Accepted for publication (Прийнята до друку) 11.11.2020

The automaton models and synthesis of monitoring means for hardware implementation of cache memory substitution algorithms

V. Puidenko, V. Kharchenko

Abstract. The synthesis of automatic models of pseudo algorithm substitution policies - LRU, adaptive ARC and MRU shows that the output combinational selection logic of selecting elements of the cache data unit in q directions is an indispensable component of the model. This component is taken from the logical equations of structure synthesis, which describe the logical operation of the decoder. It is known that a typical combinational logic of the decoder turns a binary code into a unitary code and this is a condition of its error-free operation. Thus, the conditions of erroneous operation will be output binary combinations that differ from the combinations of a unitary code. Two options of the synthesis for monitoring means of the decoder operation logic is implemented in the paper. The first option is based on the automaton model of hardware monitoring with memory elements with next synthesis for obtaining the minimum normal recording form of the switching function, which describing the logic of the operation for the combinational scheme of the "and-not" basis. The second option is based on the idea of counting of logical units at the outputs of the combination logic selection in q - directions. Such memory elements as a synchronous shift registers and a synchronous binary counter with additional logic for controlling the input of a counter increment were included in the structure of the automatic model for this. The comparison component with constant value of logical unit is a binary comparator with the output result of a comparison function for definition of the existence or the absence of error. In addition, the article gives the calculation of such parameters of the technical diagnostics as the reliability of control, the reliability of functioning, the increase in the reliability of functioning and efficiency of control and diagnostic efficiency factor.

Keywords: substitution policy, adaptive algorithm, automatic model, combination logic, memory elements, complexity and excessive means of monitoring and diagnostics, reliability of monitoring and diagnostics, increased reliability of functioning, efficient.