

В. В. Кузавков, С. В. Редзюк

Військовий інститут телекомунікацій та інформатизації імені Героїв Крут

## ДІАГНОСТИЧНА МОДЕЛЬ ВИХІДНОГО ТРАНСЛЯТОРА НАПІВПРОВІДНИКОВОЇ ІНТЕГРАЛЬНОЇ СХЕМИ

Представлено нову діагностичну модель базового логічного елемента (вихідного транслятора напівпровідникової інтегральної мікросхеми) для вдосконаленого індукційного методу діагностування. Процес визначення технічного стану сучасного радіоелектронного озброєння пов'язаний з реєстрацією та обробкою діагностичних параметрів. Основу цифрової схемотехніки становлять логічні інтегральні мікросхеми, особливості будови яких дозволили отримати математичні вирази для розрахунку значень діагностичного параметру визначення технічного стану як окремих компонентів цифрової електроніки так і цілком зразка радіоелектронного озброєння. Нова діагностична модель відображує зв'язок струму через вихідний транслятор логічної інтегральної мікросхеми з фізико-хімічними процесами, які відбуваються в напівпровідникових структурах радіоелектронних компонентів під час експлуатації (старіння).

**Ключові слова:** діагностична модель, інтегральна схема, вдосконалений індукційний метод, радіоелектронне озброєння.

### Вступ

Сучасні об'єкти радіоелектронного озброєння (РЕО) є складними технічними системами, які об'єднують модулі різного призначення. Проведення якісного діагностування цифрових блоків РЕО залежить від адекватності діагностичної моделі об'єкту контролю, методу діагностування і методики проведення діагностування.[1-4]

Структурною частиною об'єктів РЕО є цифрові блоки, до складу яких входять напівпровідникові радіоелектронні компоненти (РЕК) (діоди, транзистори, інтегральні мікросхеми). Тому в основу діагностичної моделі цифрового блоку для індукційного методу діагностування [3] покладено моделі активних елементів, які входять до складу цього блоку.

Доведено, що основним джерелом діагностичної інформації про стан цифрової ІМС є вихідний транслятор – з'явний транзистор. Тому, для будови моделі напівпровідникової інтегральної мікросхеми (ІМС) потрібно визначення параметрів базового логічного елемента з урахуванням процесів, які відбуваються в ньому під час експлуатації (старіння напівпровідникової структури), а саме зміну електрофізичних та фізико-хімічних властивостей напівпровідникової структури.[2]

З урахуванням вказаних процесів розроблено вдосконалений індукційний метод діагностування, який засновано на реєстрації узагальненого діагностичного параметру (ДП), що вимірюється в одній контрольній точці.

### Виклад основного матеріалу

Базовим логічним елементом вихідних трансляторів напівпровідникових ІМС ТТЛ – структури (транзисторно-транзисторної логіки) є схема зі складним інвертором (рис. 1). Схема складається з вхідного каскаду (багатомерний транзистор  $VT_0$ ), вихідного каскаду (транзистори  $VT_2$ ,  $VT_3$ , резистор  $R_3$ , діод  $VD_3$ ) та каскаду, який розчіплює фазу (транзистори  $VT_1$ ,  $VT_4$ , резистори  $R_1, R_2, R_4$ ). Транзистори  $VT_1$ ,  $VT_4$ , забезпечують формування сигналів

управління для протифазного перемикання вихідних транзисторів  $VT_2$ ,  $VT_3$ .

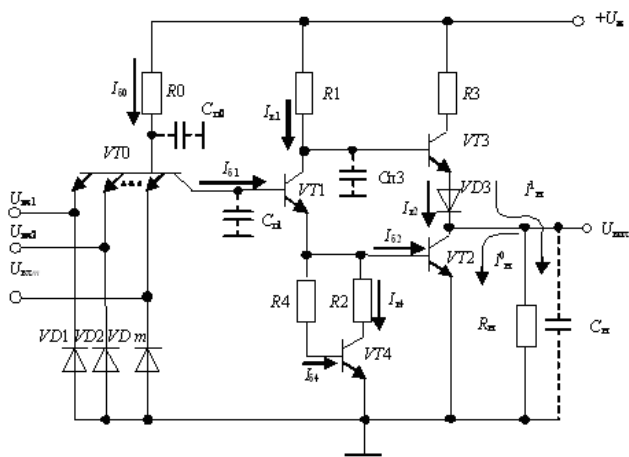


Рис. 1. Схема базового елемента І-НІ зі складним інвертором

Еквівалентна схема вихідного транслятора представлено на рис. 2.

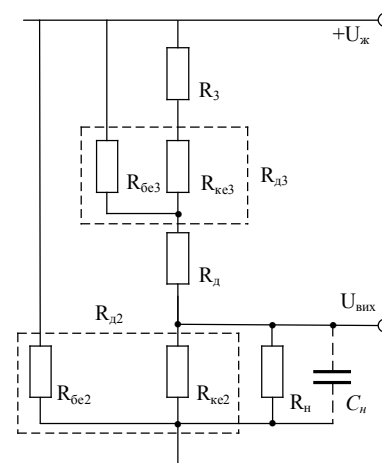


Рис. 2. Еквівалентна схема вихідного транслятора логічного елемента "І-НІ"

Резистор  $R_3$  обмежує струм у вихідному каскаді під час переходу схеми із одного стану в інший,

коли транзистор  $VT_2$  ще перебуває в режимі насичення, а транзистор  $VT_3$  уже відкрився. Діод  $VD_3$  забезпечує надійне запирання транзистора  $VT_3$ . Перехідні процеси, які відбуваються при перемиканні вихідного каскаду (транслятору) є найбільш інформативними при застосуванні індукційного методу.

Неповне закриття (відкриття) транзисторів (перехідні процеси) спричиняє виникнення імпульсів струму квазікороткого замикання. Тривалість зазначених імпульсів становить 3-10нс (ІМС TTL логіки). Фільтри в ланцюгах живлення не в змозі повністю згладжувати перешкоди від імпульсів такої тривалості. Реєстрація сигналу в шині живлення (датчик діагностичного сигналу) та обробка (автоматична система діагностування) дозволяють створити та поповнювати базу сигнатур об'єкту контролю під впливом перевіркової тестової послідовності. Таким чином, створено умови визначення фактичного технічного стану РЕО та переходу до прогресивних форм технічного обслуговування.

Математична модель транслятору ІМС дозволяє визначити стан об'єкту контролю в стаціонарному режимі (вихідне значення логічний 0 або логічна 1). Отримані значення відображують стан напівпровідникової структури на момент часу перевірки, тобто враховано час існування напівпровідника (фізико-хімічні процеси в напівпровідниковій структурі). Розглянемо функціонування транслятору технічно справної інтегральної мікросхеми логічного елементу "І-НІ". Струм в точці вимірювання (на корпусному проводі) має різні значення для стану логічного "0" та "1". Проаналізуємо обидва випадки. Перший, коли на виході транслятору (мікросхеми) буде встановлено рівень логічної "1", тобто високий потенціал і другий – коли на виході буде рівень логічного "0", тобто низький потенціал.

1. При подачі на вхід  $i_1$  елементу І-НІ низького потенціалу  $U_{ex} = U_1$ , а на інші ( $i-i_1$ ) входи високого потенціалу  $U_1 > U_{ni}$ , де  $i$  – кількість входів транзистора  $VT_0$ , а  $U_n$  – поріг переключення складного інвертора, будуть відкритими  $i$  емітерних переходів і колекторний перехід транзистора  $VT_0$ . Потенціал на базі транзистора  $VT_0$  дорівнює  $U_{\delta 1} = U_{ex} + U^*$ , а на базі транзистора  $VT_1$   $U_{\delta 1} = U_{ex} + U_{зал0} < U^*$ , де  $U_{зал0}$  - залишкова напруга на насиченому транзисторі  $VT_0$  а  $U^*$  - величина спадання напруги на відкритому  $p-n$  переході транзистора і діода  $VD_3$ .

Транзистори  $VT_1, VT_4, VT_2$ , закриті, а транзистор  $VT_3$  відкритий, на виході підтримується високий потенціал [5– 7]. Схема протікання струму в такому випадку представлено на рис. 3, а.

Струм, в місці реєстрації (на корпусній шині) в стані логічної "1" визначається виразом:

$$I^1 = I_{e3} + U^1/R_{d2}, \quad (1)$$

де  $U^1$  – напруга логічної "1";  $I_{e3}$  – емітерний струм  $VT_3$ ;  $R_{d2}$  – динамічний опір  $VT_2$ .

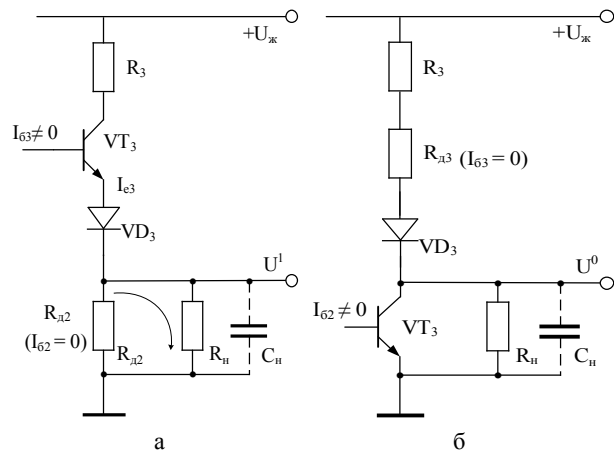


Рис. 3. Стан елементів вихідного транслятору логічної мікросхеми з логічною "1" на виході (а) та логічним "0" на виході (б)

Струм емітера представлено у вигляді [4]:

$$I_e = 2UdD_n / (n_2(D,t)\mu L_n R_d) \times \text{cth} \frac{W}{L_n} n_2(D,t) - \frac{2UdD_n}{n_1(D,t)\mu L_n R_d} \times \text{csch} \frac{W}{L_n} n_1(D,t) + Sq \frac{D_n}{L_n} n_2(D,t) (\exp \frac{qU}{kT} - 1), \quad (2)$$

де  $U$  – напруга живлення;  $R_d$  – динамічний опір колекторно-емітерного переходу;  $n_1, n_2$  – зміна концентрації основних носіїв в напівпровідниковій структурі;  $\mu$  – рухомість основних носіїв заряду;  $d$  – товщина переходу;  $D_n$  – коефіцієнт дифузії основних носіїв;  $W$  – глибина проникнення основних носіїв. Отже, з урахуванням (2), маємо:

$$I^1 = \frac{2U^1 d D_n}{n_2(D,t)\mu L_n R_{d3}} \text{cth} \frac{W}{L_n} n_2(D,t) - \frac{2U^1 d D_n}{n_1(D,t)\mu L_n R_{d3}} \text{csch} \frac{W}{L_n} n_1(D,t) + Sq \frac{D_n}{L_n} n_2(D,t) (\exp \frac{qU}{kT} - 1) + \frac{U^1}{R_{d2}} \quad (3)$$

2. При подачі на вхід  $i_1$  елементу "І-НІ" низького потенціалу  $U_{ex} = U_0$ , і на інші ( $i-i_1$ ) входи  $U_0$  - потенціали  $U_{\delta 0}$  і  $U_{\delta 1}$  зростають, поки  $U_{ex}$  не досягне значення  $U_{жс}$ , що визначається виразом [5, 6]:

$$U_{жс} = 2U^* - U_{зал. 0}, \quad (4)$$

при цьому  $U_{\delta 0} = 3U^*$ ,  $U_{\delta 1} = 2U^*$ ,  $U_{\delta 2} = U_{\delta 3} = U^*$ , і транзистори  $VT_1, VT_4, VT_2$  відкриваються. Починає протікати колекторний струм транзистора  $VT_1$ , внаслідок чого потенціали  $U_{k1}$  і  $U_{eux} = U_{k1} - 2U^*$  зменшуються. При подальшому збільшенні  $U_{ex}$  потенціали  $U_{\delta 0}, U_{\delta 1}, U_{\delta 2}, U_{\delta 4}$  зберігають досягнуті значення, емітерні переходи  $VT_0$  закриваються. Транзистор  $VT_1$  входить у режим насичення. В цьому випадку струми транзистора визначаються виразом [7]:

$$I_{\beta 1} = I_{\beta n1} = I_{\beta n0}(1 + m\beta'_I) = \frac{(1 + m\beta'_I)(E - 3U^*)}{R0}, \quad (5)$$

$$I_{K1} = I_{Kn1} = \frac{U_{жс} - U_{K1}}{R1} \approx \frac{U_{жс} - U^*}{R1}, \quad (6)$$

де  $\beta'_I$  - інверсний коефіцієнт підсилення струму для кожного з емітерів транзистора  $VT_0$ .

Потенціал  $U_{K1}$  встановлюється на рівні  $U^* + U_{зап1} \approx U^*$ . На резисторах  $R_2$  і  $R_4$  підвищується потенціал і відкриває транзистор  $VT_2$ . Через базу  $VT_2$  починає протікати струм  $I_{\beta n2}$ , що викликає його насичення [5, 6, 9]:

$$I_{\beta n2} = I_{\beta n1} + I_{Kn1} - (I_{\beta n4} + I_{Kn4}) \approx I_{\beta n1} + I_{Kn1} - \frac{U^*}{R2}. \quad (7)$$

На виході елемента "І-НІ" встановлюється низький потенціал  $U_0$ , який визначається виразом:

$$U_{вих}^0 = U_{зап2} = U_{ке2} + I_{Kn} 2r_{kk}, \quad (8)$$

де  $r_{kk}$  - об'ємний опір колекторного шару.

$I_{Kn} 2r_{kk} \approx 0$  (тому, що транзистор  $VT_2$  знаходиться у режимі відсічки),

$$U_{ке2} = p\phi_T \ln\left(\frac{(\beta'_I + 1)}{\beta'_I}\right), \quad (9)$$

де  $p$  - фактор, величина, що характеризує відмінність реального струму від ідеального;  $\phi_T$  - температурний потенціал. Різниця потенціалів між колектором  $VT_1$  і виходом недостатня для того, щоб відкрити послідовно включені  $VT_3$  і  $VD_3$ :

$$U_{K1} - U_{вих} = U^* + U_{зап1} - U_{зап2} \approx U^* < 2U^*, \quad (10)$$

тому  $VT_3$  і  $VD_3$  закриті.

Схема протікання струму в такому випадку представлено на рис. 3, б. Струм, в місці реєстрації (в стані логічного "0") визначається виразом:

$$I^0 = I_{e2} + U^0/R_n, \quad (11)$$

де  $U^0$  - напруга логічного "0";  $I_{e2}$  - емітерний струм  $VT_2$  під впливом  $U^0$ . Враховуючи (2), маємо:

$$I^0 = \frac{2U^0 dD_n}{n_2(D,t)\mu L_n R_{d2}} \operatorname{cth} \frac{W}{L_n} n_2(D,t) - \frac{2U^0 dD_n}{n_1(D,t)\mu L_n R_{d2}} \operatorname{csch} \frac{W}{L_n} n_1(D,t) + Sq \cdot (D_n/L_n) \cdot n_2(D,t) (\exp(qU/kT) - 1) + U^0/R_n. \quad (12)$$

Таким чином діагностична модель напівпровідникової логічної ІМС є система рівнянь, яка враховує значення емітерних струмів зіставного транзистора вихідного транслятора (рис 1-4) (при вихідній напрузі логічного "0" ( $U_{вих}^0$ ) та логічній "1" ( $U_{вих}^1$ )). В свою чергу  $n(D,t)$  визначається як:

$$n(D,t) = \frac{2(2\pi m_n^* kT)^{3/2}}{h^3} \exp\left\{-\frac{E_c}{kT} - \frac{\Delta E_d}{2kT} - \ln\left[\frac{h^3(N_{d0} + N_{dm})(1 - 2\Phi_0(\sqrt{2x}/2\sqrt{D_d t}))^{1/2}}{2(2\pi m_n^* kT)^{3/2}}\right]\right\}. \quad (13)$$

Підставляючи значення  $n_1, n_2$  (13) в (12) отримаємо повний вираз (систему рівнянь) залежності  $I^1$  та  $I^0$ . Отримана таким чином система рівнянь є діагностичною моделлю базового логічного елемента транслятора напівпровідникової інтегральної схеми для вдосконаленого індукційного методу діагностування РЕО та може бути використана для отримання розрахункових значень діагностичного параметру при вирішенні основних задач технічного діагностування (визначення фактичного технічного стану, локалізації несправності та прогнозування технічного стану). Умовно-графічне пояснення процесів, які досліджено, представлено на рис. 4.

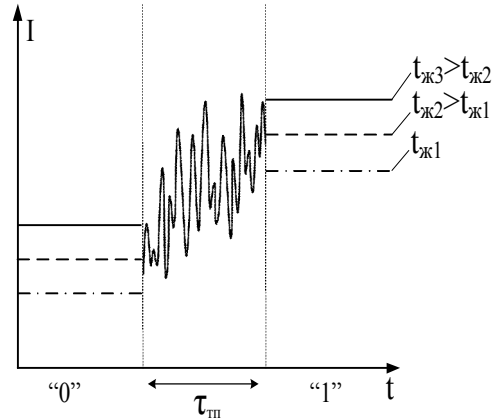


Рис. 4. Характерні зміни струму через вихідний транслятор ІМС

На рис. 4 зростання статичного рівня вихідного струму ІМС ( $I^1$  та  $I^0$ ) відповідає процесам деградації напівпровідникової структури з часом (виникнення мікрооб'ємів електролітів) [4,7,8,10]. Стохастичні зміни струму обумовлені перевіркою тестовою послідовністю тривалістю  $\tau_{ПІ}$  або збурюючими впливами під час виконання об'єктом контролю основних функцій. Час напрацювання напівпровідникової структури на рис. 4 позначено як  $t_{жс}$ . Перехідні процеси - амплітудні викиди струму квазікороткого замикання - пов'язані з кінцевим часом спрацьовування транзисторів реальної мікросхеми.

### Висновки

У статті вирішується задача побудови нової діагностичної моделі вихідного транслятора базового логічного елемента напівпровідникової інтегральної мікросхеми з урахуванням змін властивостей напівпровідника в часі. Отриману модель покладено в основу вдосконаленого безконтактного методу технічної діагностики РЕО.

Отримана система рівнянь визначає залежність струму *транслятора напівпровідникової інтегральної схеми* від фізико-хімічних властивостей напівпровідника та часу напрацювання. Модель можливо використовувати для отримання *вихідних даних* про фактичний технічний стан РЕО за результатами прискорених випробувань.

Порівняння отриманих даних (з урахуванням перерахунку часу напрацювання) з вимірними значеннями діагностичного параметру дозволять (з певною вірогідністю) встановлювати технічний стан складного об'єкту контролю або визначати місце несправності (деградації напівпровідникових структур).

## СПИСОК ЛІТЕРАТУРИ

1. Ленков С.В., Карпенко О.В., Шкуліпа П.А. Діагностична модель радіо компонента для електромагнітного методу діагностування у складі радіоелектронного пристрою // Науково-практичний журнал «Сучасні інформаційні технології у сфері безпеки та оборони». – Київ, 2011. - №3(12). – С.31 – 33.
2. Жердев М.К., Шкуліпа П.А. Побудова діагностичної моделі транзистора в активному режимі роботи для енергодинамічного методу діагностування // Збірник наукових праць Харківського університету Повітряних Сил. - Харків, – 2012. – Вип. 4(33). – С.122 – 124.
3. Вишнівський В. В. Безконтактний індукційний метод діагностування радіоелектронних блоків / В. В. Вишнівський, М. К. Жердев, Б. П. Креденцер, В. В. Кузавков, Є. В. Редзюк // Збірник наукових праць Військового інституту Київського національного університету імені Тараса Шевченка. – Київ, 2013. – Вип. № 43. – С. 17-23.
4. Кузавков В.В. Діагностична модель р-п (n-р) переходу в динамічному режимі для безконтактного індукційного методу діагностування. // Збірник наукових праць Військового інституту Київського національного університету імені Тараса Шевченка. – К.: ВКНУ, 2014. – Вип. №45. – 206 с
5. Zherdev M. Ways and methods of efficiency increasing of the independent automated test systems of radio-electronic devices / M. Zherdev, B. Kredentser, V. Kuzavkov // Electronics and Control Systems. – 2014. – National Aviation University. – № 4(42). – С. 150–154.
6. Жердев М. К. Побудова функціональних перевірок тестів для безконтактного індукційного методу діагностування. / М. К. Жердев, В. В. Кузавков // Системи озброєння та військова техніка: Науковий журнал. – Х.: Харківський університет повітряних сил ім. Івана Кожедуба, 2014. – № 4 (40). – С. 73-76
7. Жердев, М.К. Узагальнення результатів форсованих випробувань радіоелектронних компонентів / М.К. Жердев, В.В. Кузавков, І.В. Пампуха / збірник наук. праць ВКНУ ім. Т. Шевченка. □ Київ, 2015. — № 49. — С. 40-47.
8. Жердев, М.К. Перевірка адекватності аналітичної моделі радіоелектронного компоненту /М.К. Жердев, В.В. Кузавков / науковий журнал Інформаційна безпека Східноукраїнський національний університет ім. В. Даля. □ Луганськ, 2014. — № 3 (15). — С. 76-81.
9. Судакова, Р.С. Надежность и эффективность в технике. Экспериментальная отработка и испытания / Р.С. Судакова, О.И. Тескина. – М.: Машиностроение, 2011. — Т.6. — 408 с.
10. Горлов М.И. Геронтология кремниевых интегральных схем / Горлов М.И., Емельянов В.А., Строганов А.В. – М: Наука, 2004. – 300 с.

**Рецензент:** д-р техн. наук, проф. О. О. Можасв,  
Харківський національний університет внутрішніх справ, Харків  
Received (Надійшла) 25.10.2018  
Accepted for publication (Прийнята до друку) 16.01.2019

**Диагностическая модель выходного транслятора полупроводниковой интегральной схемы**

В. В. Кузавков, Е. В. Редзюк

Представлена новая диагностическая модель базового логического элемента (исходного транслятора полупроводниковой интегральной микросхемы) для усовершенствованного индукционного метода диагностирования. Процесс определения технического состояния современного радиоэлектронного вооружения (РЭВ) связан с регистрацией и обработкой диагностических параметров. Основу цифровой схемотехники составляют логические интегральные микросхемы, особенности строения которых позволили получить математические выражения для расчета значений диагностического параметра определения технического состояния как отдельных компонентов цифровой электроники, так и образца радиоэлектронного вооружения в целом. Новая диагностическая модель отображает связь тока через выходной транслятор логической ИМС с физико-химическими процессами, которые происходят в полупроводниковых структурах радиоэлектронных компонентов во время эксплуатации (старение).

**Ключевые слова:** диагностическая модель, интегральная схема, усовершенствованный индукционный метод, радиоэлектронное вооружение.

**Diagnostic model of semiconductor integral scheme output transmitter**

V. Kuzavkov, Ye. Redziuk

Presents a new diagnostic model of the basic logic element (the original translator of the semiconductor integrated circuits) for the improved induction method of diagnostics. The process of determining the technical state of modern radio-electronic weapons is associated with the registration and processing of diagnostic parameters. The basis of the digital circuitry are logic integrated circuits, whose structural features allowed to obtain mathematical expressions for calculating the values of the diagnostic parameter for determining the technical state as separate components of digital electronics and a complete sample of radio-electronic weapon. The new diagnostic model reflects the current connection through the output logic IC recorder with the physico-chemical processes occurring in the semiconductor structures of the radio-electronic components during operation (aging).

**Keywords:** diagnostic model, integrated circuit, advanced induction method, radio-electronic weapon.